

(11)Publication number : 2001-067876

(43)Date of publication of application : 16.03.2001

---

(51)Int.Cl.

G11C 11/409

G11C 11/401

H01L 27/108

H01L 21/8242

---

(21)Application number : 11-241613

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO  
LTD

(22)Date of filing : 27.08.1999

(72)Inventor : TAKAHASHI TSUTOMU

IDE SEIHACHI

NAGASHIMA YASUSHI

---



[0053] Fig. 7 is a circuit diagram showing the essential part of one embodiment of the semiconductor memory according to the present invention, and Fig. 16 is a waveform chart showing operation of the same. In Fig. 7, each circuit relevant to a pair of local input output lines LIOT and LIOB and a pair of main input output lines MIOT and MIOB is shown. The above-mentioned local input output lines LIOT and LIOB are connected with the I/O node of unit circuit in a sense amplifier through the above column switches MOSFET of the sense amplifier (SA) array shown by the black box.

[0054] The local input output lines LIOT and LIOB are formed so that the above-mentioned sense amplifier array may be extended, and are connected with the column switch MOSFET, which consists of 512 pairs in the sense amplifier array. And in the intersection area IS which lies between the above-mentioned sense amplifier and the sub WORD driver, the local input output lines are connected by MOSFETQ8-Q11 which constitute a selection circuit and the main input output lines MIOT and MIOB. This selection circuit is constituted by the CMOS switch by which P channel type MOSFETQ8 (Q9) and N channel type MOSFETQ10 (Q11) are made into a pair. The mat selection signal BLEQ, which is made into a low level in a selection state, is supplied to the gate of the P channel types MOSFETQ8 and Q9, and the reverse signal BLEQB is supplied to the gate of the N channel types MOSFETQ10 and Q11.

[0055] With the above-mentioned composition, also in a non-selected sub array (memory mat), the local input output lines LIOT and LIOB and the complementary bit line are connected by the column selection signal YS, and if the precharge voltage VDL from the same main input output line MIO as the complementary bit line and local bit lines LIOT and LIOB remains, the precharge voltage of a complementary bit line will be fluctuated through the amplification MOSFET which constitutes the sense amplifier of inoperative state. Then, the precharge circuit which consists of N channel type MOSFETQ1 or Q3 is established in the above-mentioned local input output lines LIOT and LIOB. When these local input output lines LIOT and LIOB are in non-selective state, that is, in the precharge cycle in which the above-mentioned selection circuit is made to be an OFF state, this precharge circuit sets the local input output lines LIOT and LIOB to the same precharge voltage VBLR as the complementary bit line provided in the sub array and stabilizes the precharge voltage of the complementary bit line.

[0056] The above-mentioned main input output lines MIOT and MIOB are connected to the input terminal of the main amplifier MA provided on the above Y

decoder YDEC side. The main amplifier MA, although not especially restricted, consists of the same CMOS latch circuits as the above-mentioned sense amplifier, and performs amplification operation in accordance with the operation timings of the CMOS latch circuits. The precharge circuit which consists of MOSFETQ12-Q14 is provided at the input portion of this main amplifier MA. These MOSFETQ12-Q14 consist of P channel type MOSFETs, and consist of MOSFETQ14 and Q13 which supply operating voltage VDL to the above-mentioned main I/O MIOT and MIOB, and MOSFETQ12 which short-circuits both the main input output lines MIOT and MIOB. The precharge signal EQIOB is supplied to gates of these MOSFETQ12-Q14.

[0057] In this example, a couple of short circuits MOSFETM1 and M2 are formed on both sides of MOSFETQ8-Q11 which constitute the above-mentioned selection circuit (IO switch). These MOSFETM1 and M2 are formed in the above-mentioned intersection area IS. The above-mentioned precharge signal EQIOB is supplied to the gates of MOSFETM1 and M2. Since the above-mentioned short circuits MOSFETM1 and M2 are formed on both sides of a plurality of selection circuits connected to the main input output lines MIOT and MIOB, by the low level of the precharge signal EQIOB generated at the end of a read cycle as shown in Fig. 16, the above-mentioned short circuits MOSFETM1 and M2 turn to be an ON state and can equalize LIOT/B and MIOT/B at high speed.

[0058] In Fig. 16, voltage VDL is the operating voltage of the above sense amplifiers, and for example, is set to 1.6V. Voltage VCL is the operating voltage of an indirect circumference circuit, has the same meaning as VPRI, and for example, is set to 2.5V. VPP is the above-mentioned pressure-up voltage, and for example, is set to 3.5V. Signal MIW is a write seizure signal and, by the high level of this signal MIW, the write signal is transmitted to the complementary bit line LB to which the memory cell selected through MIO and LIO is connected. Signal DIOET is a seizure signal of a sub amplifying circuit, and operates so that the read-out signal from a bit line or the write-in signal from MIO enabled at the time of a read and a write may be amplified and the voltage difference of LIO may be enlarged.

[0059] Each of the above MOSFETM1 and M2 is for performing short circuit operation and not for supplying the precharge voltage VDL. For this reason, in a part distant from the above-mentioned precharge circuit (Q12-Q14), there is a possibility that it will not become the precharge voltage VDL only by forming the above-mentioned short circuits MOSFETM1 and M2 when a precharge (equalizing) period is short. However, by short circuit operation of the above-mentioned short

circuits MOSFETM1 and M2, even when the main input output lines MIOT and MIOB and the local input output lines LIOT and LIOB do not become the above precharge voltage VDL in the both sides of the above selection circuit, it can be made to the same potential. Thus, in the main input output lines MIOT and MIOB and each local input output lines LIOT and LIOB, at the end of a precharge, the potential difference corresponding to precedent read-out and write-in signals is prevented from occurring. Consequently, in read-out and write-in operation after precharge operation, transfer of a substantial signal can be performed at high speed, thereby attaining speeding-up of read-out or write-in operation.

[0060] In the burst mode in a Synchronous DRAM, continuous memory access is performed by switching Y address from a clock signal, and the higher the frequency of the above clock signal becomes, the shorter the above precharge (equalizing) period is. In the present invention, by shortening the above precharge period, even when all the potentials of each node do not become the desired precharge potential VDL, speeding-up of read-out or write-in operation is attained by preventing the potential difference of the main input output lines MIOT and MIOB and each local input output lines LIOT and LIOB from occurring by providing the above short circuits MOSFET. That is, the precharge voltage of the main input output lines MIOT and MIOB and the local input output lines LIOT and LIOB is just need to be able to perform amplification operation of a main amplifier MA or to be able to secure the potential of the local input output lines LIOT and LIOB required for reversal operation of a sense amplifier SA in write-in operation, and it is not necessarily need to be set as VDL.

[0061] In this example, the sub amplifying circuit which consists of MOSFETQ4-Q7 is provided in the local input output lines LIOT and LIOB for high-speed read-out operation. These MOSFETQ4-Q7 are arranged in the above-mentioned intersection area IS. When preparing the above sub amplifying circuits in this intersection area IS, it is desirable to distribute activation MOSFET, which is later mentioned, in a sense amplifier SA array in order to secure element formation area.

[0062] The above-mentioned sub amplifying circuit consists of the amplification MOSFETQ4 and Q5 of latch form whose gate and drain are cross-connected and to which the above-mentioned local input output lines LIOT and LIOB are connected, and consists of MOSFETQ6 and Q7 which are provided between the source and the grounding potential VSS of a circuit which are common between the above MOSFETQ4 and Q5 and pass the operating current. Operation timing signal DIOET is supplied to the gate of MOSFETQ6, and mat selection signal BLEQB is supplied

to the gate of MOSFETQ7. That is, only the sub amplifying circuit connected to the local input output lines LIOT and LIOB corresponding to the selected memory mat is operated in accordance with the signal transmission timing of read-out or writing.

[0063] By providing the above sub amplifying circuits, and by connecting a lot of column selections MOSFET, signal change of the local input output lines LIOT and LIOB with a comparatively large parasitic capacitance can be made quick, and high-speed read-out and write-in operation can be enabled. In a case where such a sub amplifying circuit is provided, if the potential difference in the above precharge operation remains in the local input output lines LIOT and LIOB, it will be amplified as it is, and thus the operation timing is need to be delayed. However, when a short circuit MOSFETM1 is formed as this example, the above timing margins become unnecessary and further high-speed operation can be realized.

[0064] In Fig. 8, the important section circuit diagram of another example of the semiconductor memory according to this invention is shown. In this figure, MOSFETM3 and M4, which supply the precharge voltage VDL to the side of main input-output-lines MIOT and MIOB of a selection circuit, are added to the circuit shown as an embodiment in Fig. 7. Since the precharge voltage VDL can be supplied to the main input output lines MIOT and MIOB from a plurality of places where the above-mentioned selection circuit is formed, it can act synergistic with short circuit operation by the above-mentioned short circuits MOSFETM1 and M2, and thus precharge operation in shorter time can be enabled.

[0065] In Fig. 9, the important section circuit diagram of further another example of the semiconductor memory according to this invention is shown. In this figure, MOSFETM5 and M6, which supply the precharge voltage VDL also to the side of local input-output-lines LIOT and LIOB of a selection circuit, are added to the circuit shown as an embodiment in Fig. 8. Since the precharge voltage VDL can be supplied to the main input output lines MIOT and MIOB from a plurality of places where the above-mentioned selection circuit is formed, and even each local input-output-line LIOT and LIOB side also supplies the precharge voltage VDL, precharge operation in further shorter time can be enabled.

[0066] As for the precharge circuit formed in the local input output lines LIOB and LIOB, it is necessary that the precharge signal X is used and, only the local input output lines LIOT and LIOB corresponding to the mat selection signal BLEQB is made to perform the precharge operation. That is, since the precharge voltage VBLR is supplied to the non-selected local input output lines LIOT and LIOB, VDL and VBLT are need to be controlled so as not to collide.

[0067] In Fig. 10, the important section circuit diagram of another example of the semiconductor memory according to this invention is shown. This figure is for explaining the embodiment of above-mentioned Fig. 7 in more detail. Relative to the MIO line which consists of a main input output line MIOT, the local input output lines LIOT and LIOB corresponding to respective memory mats are connected through the plurality of selection circuits in the intersection area IS corresponding to the above plurality of memory mats.

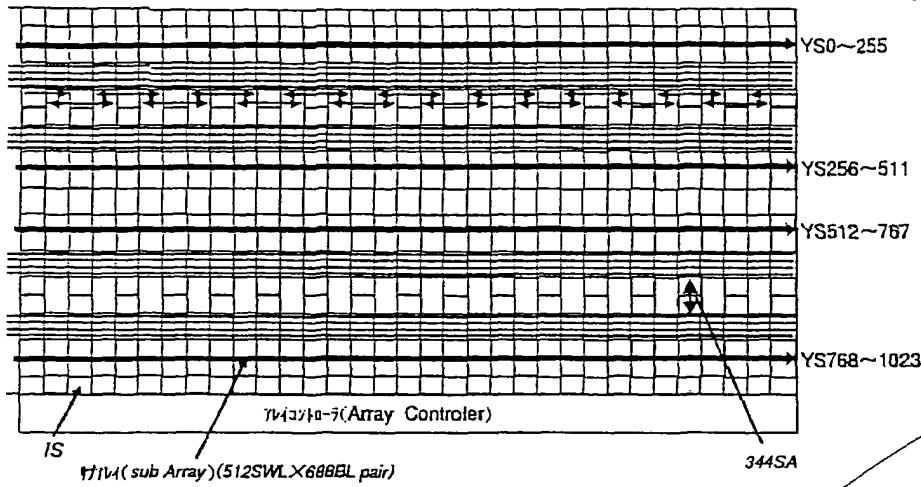
[0068] In this embodiment, short circuits MOSFETM1 and M2 are formed on both sides of the selection circuit corresponding to each of the above-mentioned memory mats. Common connection of gate of these short circuits MOSFETM1 and M2 is made with the gate of the short circuits MOSFETM1 and M2 corresponding to other memory mats provided similarly, and the precharge signal EQIOB is supplied. This precharge signal EQIOB also makes the short circuit MOSFETM1 of local input output lines LIOT and LIOB of a non-selected memory mat an ON state. Therefore, in these non-selected local input output lines LIOT and LIOB, the short circuit MOSFETM1 on the side of the above-mentioned local input output lines LIOT and LIOB will perform operation as a short circuit MOSFET of the precharge voltage VBLR corresponding to the half precharge voltage of a bit line.

[0069] On the other hand, in the non-selected local input output lines LIOT and LIOB, the short circuit MOSFETM2 on the side of the above-mentioned main input output lines MIOT and MIOB operates as the short circuit MOSFET of an MIO line. Therefore, it acts so that the main input output lines MIOT and MIOB may become at least the same potential with each other in a precharge period as mentioned above.

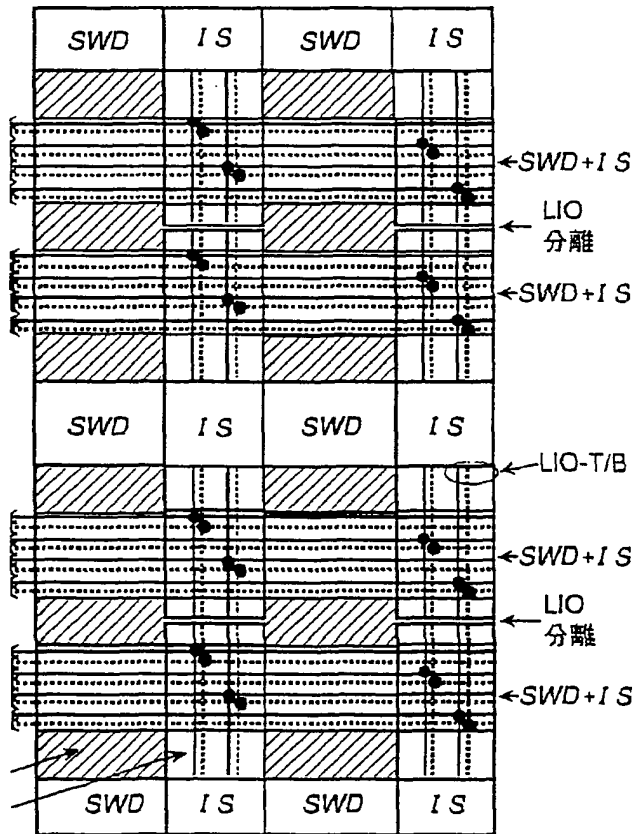
[0070] The output side of a main amplifier MA is connected to the global input output lines GIOT and GIOB. When performing memory access in a 16-bit unit as mentioned above, these global input output lines GIOT and GIOB are connected to the output terminal of two main amplifiers in one memory bank, and are used as 16 pairs of signal lines. And when four memory banks are in a memory chip like above-mentioned Fig. 1, it is arranged so that the output terminal of each two main amplifiers in respective memory banks may be connected. The above-mentioned global input output lines GIOT and GIOB constitute the signal transmission path which connects the output terminal of a main amplifier MA, the input terminal of an output buffer 62, and the output terminal of an input buffer 63 in Fig. 15.







【図5】



【図16】

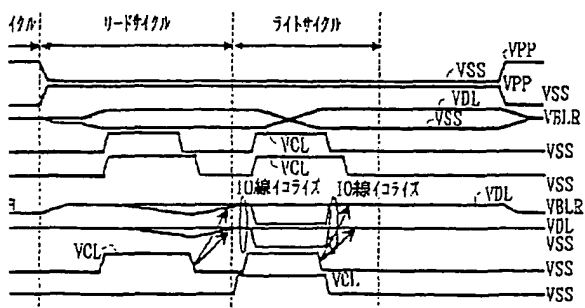
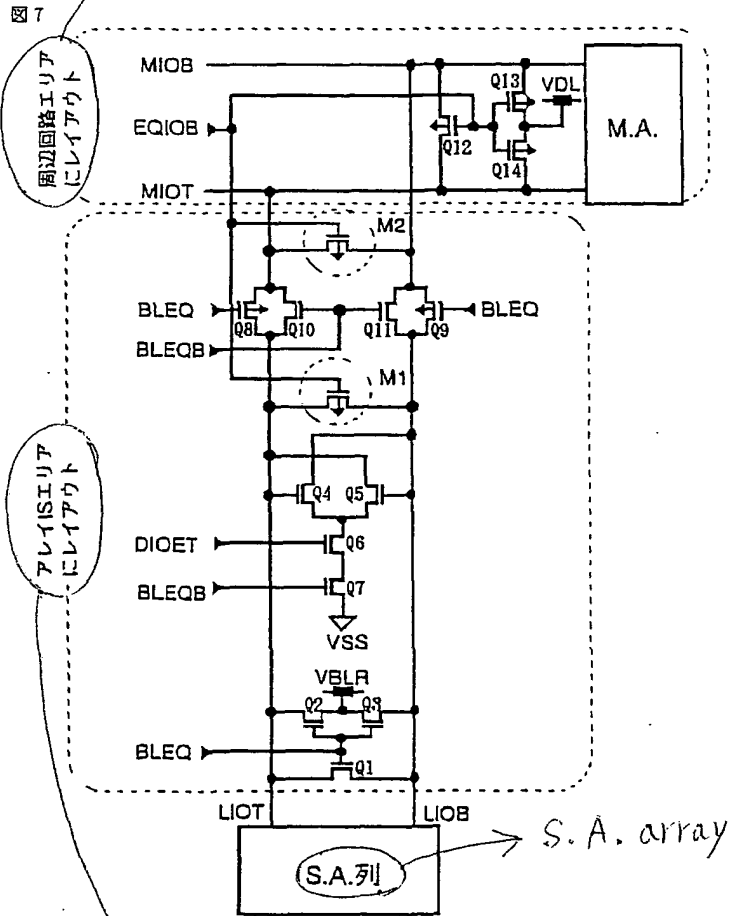


Fig. 7

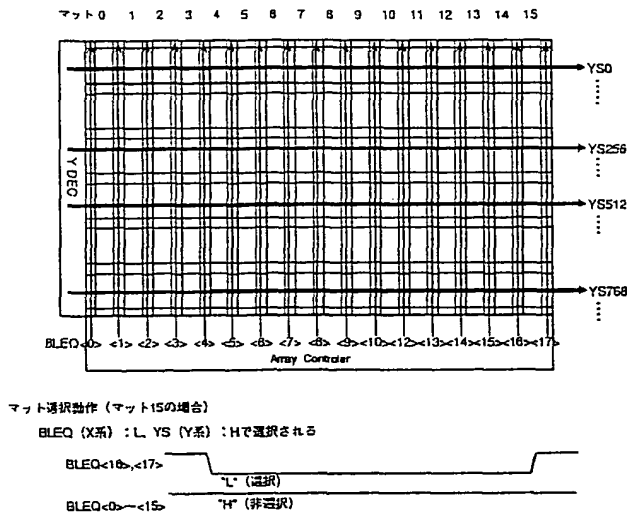
【図7】



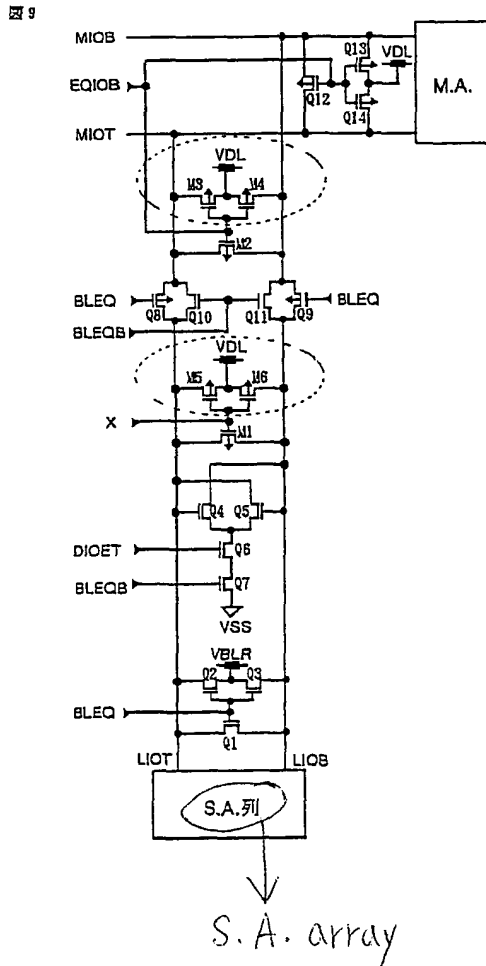
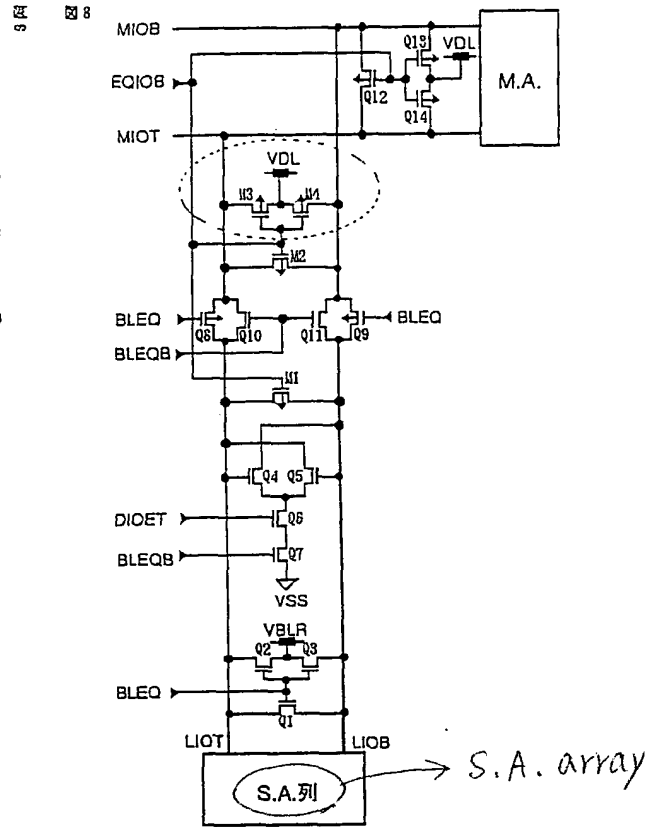
Being laid out in the peripheral circuitry area

Being laid out in the array IS area

【図6】



【図9】 Fig. 9

Fig. 8  
【図8】

【図12】

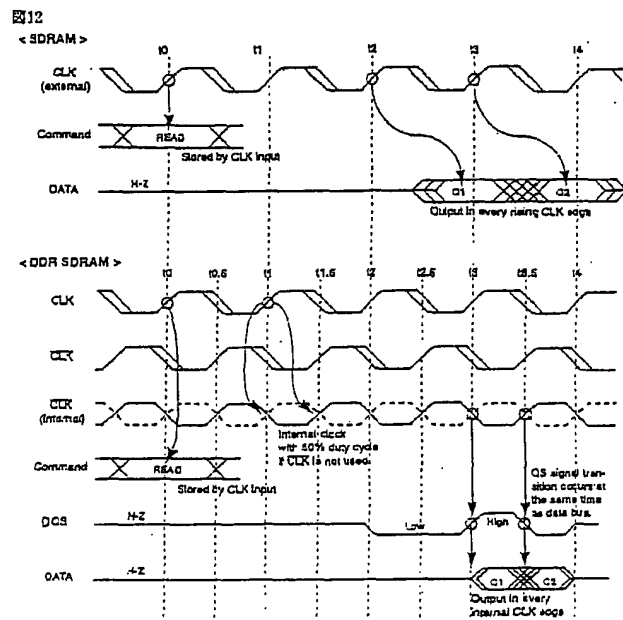
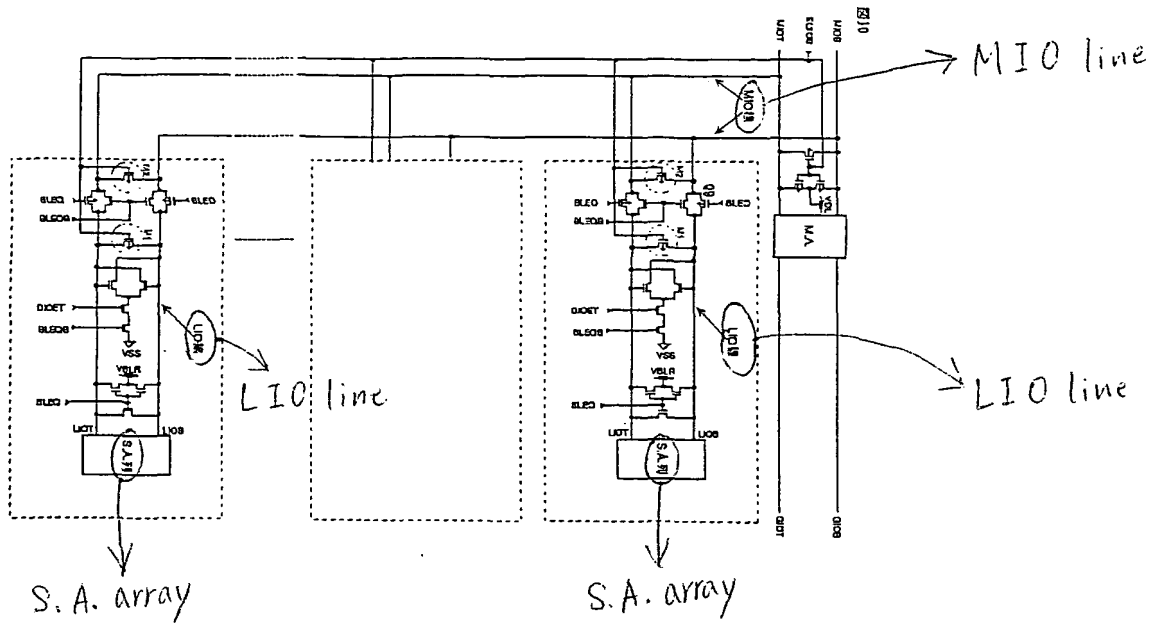
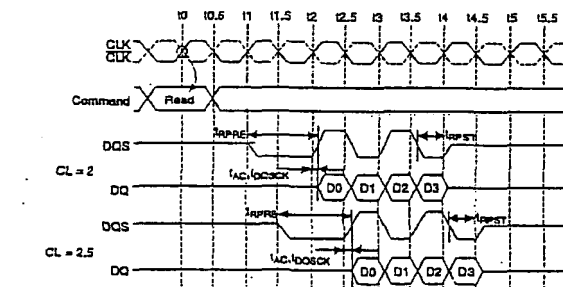


Fig. 1C  
[図10]

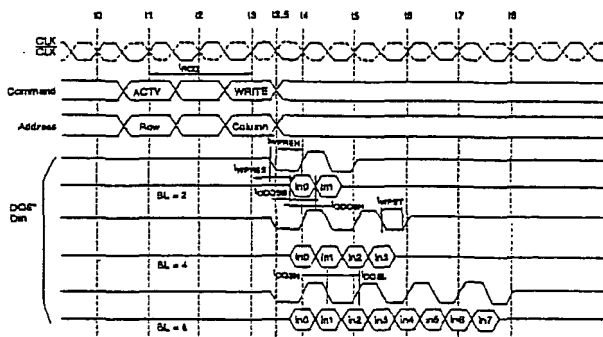
[図11]

図11

(A) リードモード

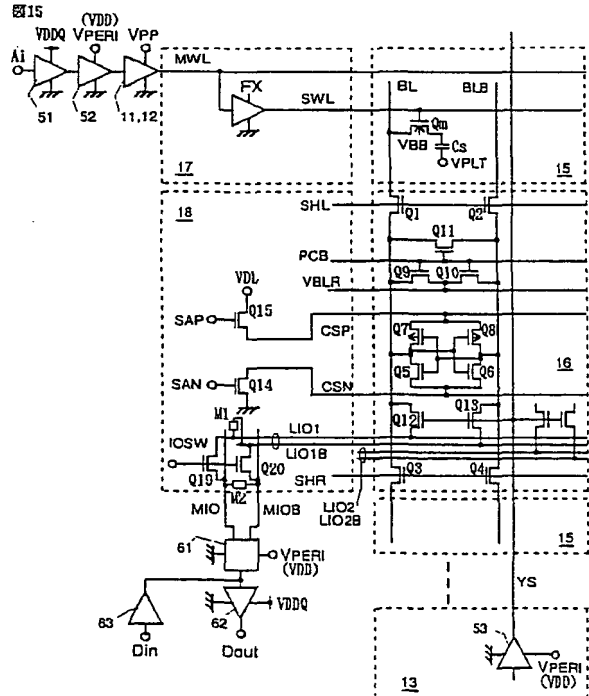


(B) ライトモード



[図15]

図15





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-67876  
(P2001-67876A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームト\* (参考)

G 1 1 C 11/409

G 1 1 C 11/34

3 5 3 F 5 B 0 2 4

11/401

3 5 4 R 5 F 0 8 3

H 0 1 L 27/108

3 7 1 K

21/8242

H 0 1 L 27/10

6 8 1 E

審査請求 未請求 請求項の数23 O L (全 20 頁)

(21) 出願番号 特願平11-241613

(22) 出願日 平成11年8月27日 (1999.8.27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 高橋 勉

東京都小平市上水本町5丁目22番1号 日立超エル・エス・アイ・システムズ内

(74) 代理人 100081938

弁理士 徳若 光政

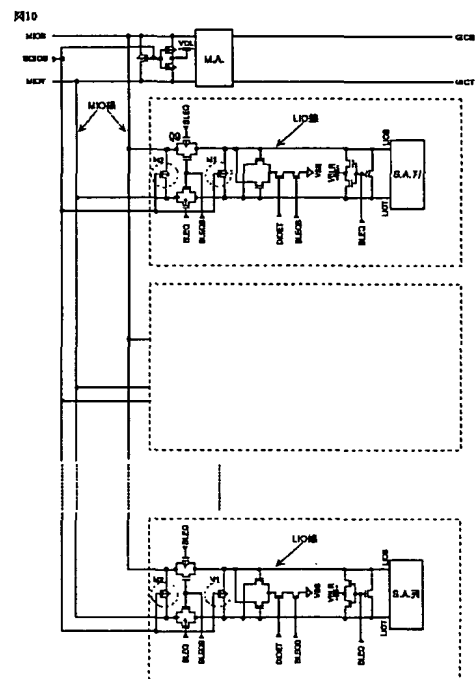
最終頁に続く

(54) 【発明の名称】 半導体記憶装置と半導体装置

(57) 【要約】

【課題】 記憶容量の増大と高速動作化及び記憶容量の増大と高速動作化に加えて高集積化を実現した半導体記憶装置と半導体装置を提供する。

【解決手段】 ダイナミック型RAMにおいて、カラム選択信号により制御されるカラム選択回路により上記センスアンプの入出力ノードをローカル入出力線対に接続するメモブロックの複数個に対して、選択回路とを設けてメイン入出力線対と接続し、上記メイン入出力線対に所定電圧を与える第1プリチャージ回路を設けるとともに、上記複数個からなる選択回路の両側に上記ローカル入出力線対及びメイン入出力線対をそれぞれ短絡する一対の短絡MOSFETを設け、上記第1プリチャージ回路によるプリチャージ期間に上記一対の短絡MOSFETをオン状態にして上記メイン入出力線対及びローカル入出力線対の電圧を等しくすることにより、読み出し動作や書き込み動作での信号伝達に必要な電圧を確保しつつ信号伝達を高速に行うようにする。



## 【特許請求の範囲】

【請求項1】 複数のワード線と複数の相補ビット線対と及びこれらのワード線と相補ビット線対に対応して設けられた複数のメモリセルからなるメモリセルアレイと、  
上記複数の相補ビット線対の信号をそれぞれ増幅する複数の第1増幅回路と、  
上記複数の第1増幅回路を選択する第1選択回路と、  
上記第1選択回路に対して設けられる第1共通相補線対とをそれぞれ備えてなるメモリブロックの複数個と、  
上記複数個のメモリブロックに対応した上記第1共通相補線対を選択する複数の第2選択回路と、  
上記複数の第2選択回路に対して設けられる第2共通相補線対と、  
上記第2共通相補線対に所定電圧を与える第1プリチャージ回路と、  
上記第2共通相補線対に伝えられた上記メモリセルからの読み出し信号増幅する増幅回路とを備えてなり、  
上記複数の第2選択回路の両側に上記第1共通相補線対及び第2共通相補線対をそれぞれ短絡する一対のMOSFETを設け、  
上記第1プリチャージ回路によるプリチャージ期間に上記第2選択回路を選択状態にするとともに上記一対の短絡MOSFETをオン状態にし、対応する第2選択回路の両側の電圧を上記第1プリチャージ回路から供給される上記所定電位に対応した電圧にほぼ等しくしてなることを特徴とする半導体記憶装置。  
【請求項2】 請求項1において、  
上記相補ビット線対は、上記第1増幅回路の動作電圧の中間電圧を供給する第2プリチャージ回路が設けられ、  
上記第1増幅回路は、上記ワード線の選択によってメモリセルから一方のビット線に現れた読み出し信号を、他方のビット線の上記プリチャージされた中間電圧を参照電圧として増幅動作を行うものであり、  
上記第1共通相補線対には第3プリチャージ回路が設けられ、上記第1選択回路において非選択にされた第1共通相補線対を上記中間電圧にプリチャージすることを特徴とする半導体記憶装置。  
【請求項3】 請求項2において、  
上記第1増幅回路は、そのゲートとドレインとが交差接続されてなる一対のPチャンネル型MOSFETとNチャンネル型MOSFETからなるCMOSラッチ回路と、センスアンプの動作期間に上記Pチャンネル型MOSFETとNチャンネル型MOSFETのソースにそれぞれ動作電圧を与えるスイッチMOSFETからなることを特徴とする半導体記憶装置。  
【請求項4】 複数のダイナミック型メモリセルのアドレス選択端子がそれぞれに接続されてなる複数のワード線と、  
複数のダイナミック型メモリセルがそれぞれに接

続されてなる複数の相補ビット線対と、  
動作タイミング信号に対応して動作電圧が与えられ、上記相補ビット線対の信号をそれぞれ増幅する複数のラッチ回路からなるセンスアンプと、  
カラム選択信号によりスイッチ制御されるカラム選択回路と、  
上記カラム選択回路により上記センスアンプの入出力ノードに接続されるローカル入出力線対とそれぞれ備えてなるメモリブロックの複数個と、  
選択信号によりスイッチ制御され、上記複数のメモリブロックに対して設けられる選択回路と、  
上記選択回路を介して上記複数のメモリブロックに対応した複数のローカル入出力線に接続されるメイン入出力線対と、  
上記メイン入出力線対に所定電圧を与える第1プリチャージ回路と、  
上記メイン入出力線対に伝えられた上記メモリセルからの読み出し信号増幅するメインアンプとを備えてなり、  
上記複数の選択回路の両側に上記ローカル入出力線対及びメイン入出力線対をそれぞれ短絡する一対の短絡MOSFETを設け、上記第1プリチャージ回路によるプリチャージ期間に上記一対の短絡MOSFETをオン状態にしてなることを特徴とする半導体記憶装置。  
【請求項5】 請求項4において、  
上記相補ビット線対は、上記センスアンプの動作電圧の中間電圧を供給する第2プリチャージ回路が設けられ、  
上記センスアンプは、上記ワード線の選択によってメモリセルから一方のビット線に現れた読み出し信号を、他方のビット線の上記プリチャージされた中間電圧を参照電圧として増幅動作を行うものであり、  
上記ローカル入出力線対には第3プリチャージ回路が設けられ、上記選択回路において非選択にされたローカル入出力線対を上記中間電圧にプリチャージすることを特徴とする半導体記憶装置。  
【請求項6】 請求項5において、  
上記センスアンプの入出力ノードには、それを中心にして左右に配置される相補ビット線対と、かかる左右に配置された相補ビット線対を上記入出力ノードに選択的に接続させるシェアードスイッチMOSFETを更に備え、  
上記ワード線は、メインワード線と、かかるメインワード線に対して共通に割り当てられてなる複数のサブワード線とからなり、  
上記サブワード線に上記ダイナミック型メモリセルのアドレス選択MOSFETのゲートが接続され、  
上記サブワード線は、上記メインワード線の信号とサブワード選択線の信号とを受けるサブワードドライバにより上記複数のうちの1つが選択されるものであり、  
上記サブワードドライバは、メモリセルアレイの端部を除いてそれを中心にして左右に設けられるサブワード線

の選択信号を形成するものであり、  
上記センスアンプは、メモリセルアレイの端部を除いてそれを中心にして左右に設けられる相補ビット線からの増幅信号をセンスするものであることを特徴とする半導体記憶装置。

【請求項7】 請求項6において、  
上記サブワードドライバと上記センスアンプとが形成される半導体領域において、これらにより囲まれる領域に上記メモリセルがマトリクス状態に配置されてサブアレイが構成され、  
上記半導体領域上において幾何学的に互いに隣接するサブアレイに対応した上記サブワードドライバと上記センスアンプとに挟まれる交差領域に、上記選択回路と、上記一对の短絡MOSFETとが設けられることを特徴とする半導体記憶装置。

【請求項8】 請求項7において、  
上記ラッチ回路にはパワースイッチMOSFETを介して上記動作電圧が与えられるものであり、  
かかるパワースイッチMOSFETは、上記センスアンプが形成される半導体領域において、そこに形成される複数のラッチ回路をそれぞれが分担するように複数組が設けられるものであることを特徴とする半導体記憶装置。

【請求項9】 請求項4ないし8のいずれかにおいて、  
上記一对の短絡MOSFETは、共通の制御信号が供給されるPチャンネル型MOSFETであることを特徴とする半導体記憶装置。

【請求項10】 請求項9において、  
上記制御信号は、上記第1プリチャージ回路のプリチャージ制御信号と同一であることを特徴とする半導体記憶装置。

【請求項11】 請求項8ないし10のいずれかにおいて、  
上記ローカル入出力線対には、ゲートとドレインとが交差接続されてなるMOSFETを含み、そこに伝えられる信号を増幅するサブ増幅回路が上記交差領域において更に設けられてなることを特徴とする半導体記憶装置。

【請求項12】 請求項7において、  
上記選択回路のそれぞれに対応し、上記第1プリチャージ回路と同じ第4プリチャージ回路が更に設けられることを特徴とする半導体記憶装置。

【請求項13】 請求項12において、  
上記第4プリチャージ回路は、上記メイン入出力線対側と上記ローカル入出力線対側の双方に設けられ、  
ローカル入出力線対側に設けられた第4プリチャージ回路は、それに対応したローカル入出力線対が非選択のときには動作が停止されることを特徴とする半導体記憶装置。

【請求項14】 請求項12又は13において、  
上記第1プリチャージ回路と第4プリチャージ回路は、

Pチャンネル型MOSFETにより構成されるものであることを特徴とする半導体記憶装置。

【請求項15】 複数のワード線と、  
複数のビット線と、  
上記複数のワード線と上記複数のビット線に対応して設けられる複数のメモリセルと、  
上記複数のビット線に結合され、上記複数のビット線の電圧を増幅する第1の増幅回路と、  
上記複数ワード線に信号を与える回路と、  
上記複数ビット線に対応して設けられ、データを伝送する第1伝送線対と、  
データを伝送する第2伝送線対と、  
上記第2伝送線対に結合され、上記第2伝送線対の電圧を増幅する第2の増幅回路と、  
上記第1伝送線対と上記第2伝送線対との間に結合されたスイッチ回路と、  
上記第1伝送線対を構成する2つの伝送線の間に結合されたソース・ドレイン経路を有するPチャンネル型の第1MOSFETと、  
上記第2伝送線対を構成する2つの伝送線の間に結合されたソース・ドレイン経路を有するPチャンネル型の第2MOSFETとを含む半導体装置であって、  
上記複数のワード線、上記複数のビット線及び上記複数のメモリセルは、第1の4辺形領域内に形成され、  
上記第1の増幅回路は、上記複数のビット線の延長方向であって上記第1の4辺形領域に隣接する第2の4辺形領域内に形成され、  
上記複数のワード線に信号を与える回路は、上記複数のワード線の延長方向であって上記第1の4辺形領域に隣接する第3の4辺形領域内に形成され、  
上記第1MOSFET及び第2MOSFETは、上記第2及び第3の4辺形領域に隣接する第4の4辺形領域内に形成されることを特徴とする半導体装置。

【請求項16】 請求項15において、  
上記スイッチ回路は、上記第1伝送線対のうち的一方と上記第2伝送線対のうち的一方との間に結合されたソース・ドレインを有する第3MOSFETと、上記第1伝送線対のうち他方と上記第2伝送線対のうち他方との間に結合されたソース・ドレインを有する第4MOSFETとを含むことを特徴とする半導体装置。

【請求項17】 請求項15において、  
上記スイッチ回路は、上記第4の4辺形領域内に形成されることを特徴とする半導体装置。

【請求項18】 請求項15において、  
上記複数ビット線は複数のビット線対を構成し、  
上記第1の増幅回路は、上記複数ビット線対に対応して設けられた複数の単位増幅回路を含むことを特徴とする半導体装置。

【請求項19】 複数のワード線と、  
複数のビット線と、

上記複数のワード線と上記複数のビット線に対応して設けられる複数メモリセルと、  
 上記複数のビット線に結合され、上記複数のビット線の電圧を増幅する第1の増幅回路と、  
 上記複数ビット線に対して共通に設けられ、データを伝送する第1伝送線対と、  
 データを伝送する第2伝送線対と、  
 上記第2伝送線対に結合され、上記第2伝送線対の電圧を増幅する第2の増幅回路と、  
 上記第1伝送線対と上記第2伝送線対との間に結合された第1スイッチ回路と、  
 上記第1伝送線対を構成する2つの伝送線の間に結合された第2スイッチ回路と、  
 上記第1伝送線対に結合され、上記第1伝送線対に第1電圧を供給する第1電圧供給回路と、  
 上記第2伝送線対に結合され、上記第2伝送線対に第2電圧を供給する第2電圧供給回路とを含み、  
 上記第2スイッチ回路は、上記第1電圧供給回路が上記第1電圧を上記第1伝送線対に供給する際と上記第2電圧供給回路が上記第2電圧を上記第2伝送線対に供給する際とのそれぞれにおいて導通状態とされることを特徴とする半導体装置。

【請求項20】 請求項19において、  
 上記第2スイッチ回路は、第1伝送線対を構成する2つの伝送線の間に結合されたソースドレイン経路を有する第1MOSFETを含み、  
 上記第1スイッチ回路は、上記第1伝送線対のうちの一方と上記第2伝送線対のうちの一方との間に結合されたソースドレインを有する第2MOSFETと、上記第1伝送線対のうちの他方と上記第2伝送線対のうちの他方との間に結合されたソースドレインを有する第3MOSFETとを含むことを特徴とする半導体装置。

【請求項21】 請求項19において、  
 上記第1電圧は、上記第1増幅回路のプリチャージ電圧とされ、  
 上記第2電圧は、上記第2増幅回路のプリチャージ電圧とされ、  
 上記第1電圧と上記第2電圧とは異なる電圧であることを特徴とする半導体装置。

【請求項22】 複数のワード線と、  
 複数のビット線と、  
 上記複数のワード線と上記複数のビット線に対応して設けられる複数メモリセルと、  
 上記複数のビット線に結合され、上記複数のビット線の電圧を増幅する第1の増幅回路と、  
 上記複数ビット線に対して設けられ、データを伝送する第1伝送線対と、  
 データを伝送する第2伝送線対と、  
 上記第2伝送線対に結合され、上記第2伝送線対の電圧を増幅する第2の増幅回路と、

上記第1伝送線対と上記第2伝送線対との間に結合された第1スイッチ回路と、  
 上記第1伝送線対を構成する2つの伝送線の間に結合された第2スイッチ回路と、  
 上記第2伝送線対を構成する2つの伝送線の間に結合された第3スイッチ回路を含み、  
 上記第2スイッチ回路と上記第3スイッチ回路は、共通信号により制御されることを特徴とする半導体装置。

【請求項23】 請求項22において、  
 上記第2スイッチ回路は、上記第1伝送線対を構成する2つの伝送線の間に結合されたソースドレインを有するPチャンネル型の第1MOSFETを含み、  
 上記第3スイッチ回路は、上記第2伝送線対を構成する2つの伝送線の間に結合されたソースドレインを有するPチャンネル型の第2MOSFETを含み、上記第1MOSFETのゲートと上記第2MOSFETのゲートは、上記共通信号を受け、  
 上記第1スイッチ回路は、上記第1伝送線対のうちの一方と上記第2伝送線対のうちの一方との間につ結合されたソース・ドレインを有する第3MOSFETと、上記第1伝送線対のうちの他方と上記第2伝送線対のうちの他方との間に結合されたソース・ドレインを有する第4MOSFETとを含むことを特徴とする半導体装置。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】この発明は、半導体記憶装置と半導体装置に関し、主として大記憶容量で高速動作のダイナミック型RAM（ランダム・アクセス・メモリ）に利用して有効な技術に関するものである。

#### 【0002】

【従来の技術】本発明を成した後の調査によって、後で説明する本発明に関連すると思われるものとして、特開平6-318391号公報（以下、先行技術1という）、特開平9-120674号公報（以下、先行技術2という）があることが判明した。先行技術1の公報においては、その添付図面の図18、図19に示されているようにローカルIO線対とグローバルIO線対のそれぞれにコイライズ／プリチャージ回路が設けられている。先行技術2の公報においては、ローカルデータバスとグローバルデータバスのそれぞれにプリチャージ回路が設けられる。この場合、ローカルデータバスには、読み出し及び書き込み用の第一プリチャージ回路と、ローカルデータバスが非選択のときにセンスアンプを安定化させる第二プリチャージ回路とを備えている。後で説明する本願発明のように大記憶容量化と高速動作化を実現するために、上記のような階層構造の入出力線においてローカル入出力線を選択する選択回路の両側に短絡MOSFETを設けることの必然性を示唆するような記載は一切見当たらない。

#### 【0003】



【発明が解決しようとする課題】ダイナミック型RAM（ランダム・アクセス・メモリ）において、その記憶容量の増大に伴い、ダイナミック型メモリセルからの読み出し信号量を確保したり、あるいは選択動作の高速化及び低消費電力化等のためにワード線及びビット線を複数に分割する階層方式が採用されている。これにより、メモリセルが接続されるビット線及びワード線の寄生容量を減らすことができ、上記読み出し信号量を確保しつつ、高速なメモリセルの選択動作を行わせることができる。このような階層方式そのものは、前記公報等において公知である。

【0004】記憶容量の増大に伴い、上記ワード線やビット線の分割数も増大することとなる。ダイナミック型メモリセルでは、記憶キャパシタに蓄積された情報電荷とビット線のプリチャージ電荷との電荷結合により形成された微小電圧を読み出し信号とするものであるため、ビット線に接続されるメモリセルの数を多くすることは上記読み出し信号量の関係で難しい。このため、ビット線の分割数が必然的に多くなり、その結果メイン入出力線（前記公報ではグローバルIO又はグローバルデータバス）が長くなる傾向にある。

【0005】このようにメイン入出力線の長さが長くなり、それに接続されるローカル入出力線の数も増加して、カラム選択経路を構成するスイッチMOSFETの数が増加すると、上記メイン入出力線におけるプリチャージ時間が長くなってしまふ。つまり、前記先行技術1のように各ローカルIOに短絡MOSFETを設け、プリチャージ期間においてローカルIOのそれぞれを同電位にできたとしても、グローバルIOには1箇所しかプリチャージ回路しか設けられていないから、かかるプリチャージ回路から遠い距離にある箇所では、プリチャージ動作が完全に行えなく電位差が生じてしまう可能性がある。しかも、上記グローバルIOは、1つのローカルIOに対して大きな寄生容量を持つから、上記電位差は電荷量としてみるとローカルIOにとっては無視できない大きなものになっていることが本願発明者において見出された。

【0006】このため、読み出しあるいは書き込みの信号伝達時には伝達信号に上記グローバルIOの不十分なプリチャージ時間による電位差がオフセットとして重畳されさる。読み出し動作では、かかる電位差によって必要な入力信号量が得られるまでメインアンプの動作開始タイミングを遅らせる必要がある。書き込み動作では、上記電位差によってライトアンプの信号によってセンスアンプを反転させて選択ビット線にフル振幅の書き込み電圧を与えるまでの時間が長くなってしまふという問題が生じるものとなる。

【0007】この発明の目的は、記憶容量の増大と高速動作化を実現した半導体記憶装置と半導体装置を提供することにある。この発明の他の目的は、記憶容量の増大

と高速動作化に加えて高集積化を実現した半導体記憶装置と半導体装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。メモリセルアレイの複数の相補ビット線対の信号をそれぞれ複数からなる第1増幅回路で増幅し、上記複数の第1増幅回路を第1選択回路で選択して第1共通相補線対に接続し、かかる各回路を備えたメモリブロックの複数個に対応して上記第1共通相補線対を第2選択回路より第2共通相補線対に接続し、上記第2共通相補線対に所定電圧を与える第1プリチャージ回路と、上記第2共通相補線対に伝えられた上記メモリセルからの読み出し信号を増幅する増幅回路とを含む半導体記憶装置において、上記複数からなる第1選択回路の両側に上記第1共通相補線対及び第2共通相補線対をそれぞれ短絡する一対の短絡MOSFETを設け、上記第1プリチャージ回路によるプリチャージ期間に上記第2選択回路を選択状態にするとともに上記短絡MOSFETをオン状態にする。

【0009】

【発明の実施の形態】図1には、この発明が適用されるダイナミック型RAMの一実施例の概略レイアウト図が示されている。同図においては、この発明が適用されるダイナミック型RAMの全体的な配置を説明するものであり、それらが公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0010】上記メモリチップは、チップの長手方向に約16Kのビット線（本願においてビット線はデータ線あるいはデジット線と同じ意味で用いている）BL対（BL pair）が並べられ、短手方向に約16Kのワード線WLが並べられる。それ故、この実施例のメモリチップは、全体で16K×16K＝256M（ビット）のような記憶容量を持つようにされる。上記のように全体で256Mビットのような記憶容量のメモリアレイは4個に分けられる。4個に分けられたメモリアレイは、それぞれが約64Mビットの記憶容量を持つようなメモリバンク（BANK）を構成するようにされる。

【0011】図示しないが、メモリチップの長手方向に対して中央部分にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路及び降圧回路を含む内部電源回路等が設けられる。これら中央部分の両側のメモリアレイに接する部分には、上記カラムデコーダYDECが配置される。上述のようにメモリチップの長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリアレイ長手方向に対して、その中央部にメインロウデコーダ

等が形成されるアレイコントローラACが配置される。上記アレイコントローラACを中心にして、メモリチップの長手方向にメインワード線MWLが延長される。上記カラムデコーダYDECからメモリチップの短手方向にカラム選択線YSが延長される。

【0012】図2には、1つのメモリバンクを構成するメモリアレイの一実施例の概略レイアウト図が示されている。同図には、上記メモリバンクのうち、上記アレイコントローラにより2分割される片方が例示的に示されている。上記分割されたメモリアレイは、メインワード線方向に対して6個に分割され、ビット線方向に16分割される。このようにワード線方向に6分割されてなるサブアレイ(sub Array)には、サブワードドライバ(サブワード線駆動回路)SWDが設けられる。上記サブワードドライバSWDは、メインワード線MWLのほぼ1/6ずつの長さ分割され、それと平行に延長されるサブワード線の選択信号を形成する。

【0013】この実施例では、メインワード線の数減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1つのメインワード線に対して、相補ビット線方向に2本からなるサブワード線を配置させる。このようにメインワード線方向には4本に分割され、及び相補ビット線方向に対して2本ずつが割り当てられたサブワード線の中から1本のサブワード線を選択するために、サブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される2本のサブワード選択線の中から1つを選択する選択信号を形成する。

【0014】上記のように1つのメモリアレイは、相補ビット線方向に対して16Kビットの記憶容量を持つ。しかしながら、1つの相補ビット線に対して16Kものメモリセルを接続すると、相補ビット線の寄生容量が増大し、微細な情報記憶用キャパシタとの容量比により読み出される信号レベルが得られなくなってしまうために、相補ビット線方向に対して16分割される。つまり、センスアンプSAにより相補ビット線が16分割される。特に制限されないが、センスアンプSAは、シェアードセンス方式により構成され、メモリアレイの両端に配置されるセンスアンプSAを除いて、センスアンプSAを中心にして左右に相補ビット線が設けられ、左右いずれかの相補ビット線に選択的に接続される。

【0015】上記サブアレイの構成は、上記のようにワード線方向に6分割され、ビット線方向に16分割される。それ故、1つのメモリバンクを構成するサブアレイの数は、 $16 \times 6 \times 2 = 192$ 個とされる。上記のようなビット線の分割により、分割された1つのビット線に接続されるメモリセルの数は512個(冗長セルを除く)とされ、サブワード線に接続されるメモリセルの数は688個(冗長セルを含む)とされる。

【0016】ワード線方向に相補ビット線を12分割すると、 $16K \div 12 \approx 683$ となり、本来は相補ビット線対は683と682を持つサブアレイの組み合わせで構成されるべきであるが、後述するように1つのカラム選択信号YSにより、2つのサブアレイで2対ずつ相補ビット線を2対ずつのローカル入出力線LIOに接続するためには、必ず偶数になるようにする必要がある。この実施例では、特に制限されないが、1つのサブアレイに設けられる相補ビット線対は、冗長ビット線を含めて上記688対、あるいはそれと696対の組み合わせで構成される。

【0017】上記のようなワード線の分割数の低減により、1つのメモリバンクでみると、メインワード線方向に並ぶサブワードドライバSWDの数を例えば16分割した場合の18個に比べて上記12分割することにより、14個と減らすことができる。これによって、ワード線方向の延長方向(メモリチップの長手方向)のチップサイズの小型化が可能になるとともに、それに対応して上記メインワード線MWLの長さが短くなり、ワード線の選択動作の高速化も図られる。

【0018】図3には、この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路の一実施例の概略レイアウト図が示されている。図3においては、サブアレイ(sub Array)は、上記のように512サブワード線(SWL)  $\times$  688ビット線対(BL pair)により構成される。上記のサブアレイに対してメインワード線MWLは、0~127のような128本が設けられる。1つのメインワード線に対して、4本のサブワード線SWLが割り当てられる。つまり、上記メインワード線MWLの選択信号と、4本のサブワード線選択信号FXB0~FXB3の組み合わせにより、サブワードドライバSWDは、上記メインワード線MWLより選択された4本のサブワード線のうちの1本を選択する。

【0019】サブワードドライバSWDは、それを挟むように形成される2つのサブアレイのサブワード線を選択する。それ故、サブワードドライバSWDは、上記サブワード線SWLが512本あるにもかかわらず256個が設けられる。このことは、1つのサブアレイでみると、512本のサブワード線のうち、上側のサブワードドライバSWDにより、そのうちの半分の256本が選択され、残り半分が下側のサブワードドライバSWDにより選択される。このようにサブワードドライバSWDをサブワード線SWDに対して上下に振り分ける構成は、サブワード線SWLの配列ピッチに対して、サブワードドライバSWDの配列ピッチを2倍に大きくでき、サブワードドライバSWDの駆動能力を確保しつつ、サブワード線の高密度配列を実現することができる。

【0020】センスアンプSAは、シェアードセンスアンプ方式が採用され、それを挟む2つのサブアレイに対

して選択的に使用される。したがって、サブアレイに設けられるビット線対に対して、その半分の344個のセンスアンプSAが設けられる。この場合、上記サブワードドライバとサブワード線との関係と同様に、センスアンプの感度を高くしつつ、相補ビット線対の高密度配列を実現することができる。

【0021】上記センスアンプが形成され領域には、後に説明するようにシェアードスイッチMOSFET、ビット線のプリチャージMOSFET、カラム選択MOSFET及びその選択信号線とローカルIO線が形成される。この実施例では、センスアンプSAが172ずつに分割されるように示されているが、この意味は後に説明するメイン入出力線MIOとの関係で、かかる分割部分で上記ローカル入出力線LIOが分断されていることを表している。

【0022】図4には、1つのメモリバンクを構成するメモリアレイの一実施例の概略レイアウト図が示されている。同図は、前記図2に対応したものであり、ビット線方向と階層化IOの構成が示されている。図5には、ワード線方向に並べられる2列分(2×6=12個)のサブアレイに対応した拡大図が示されている。

【0023】図4において、YデコーダYDECによって、YS0～YS1023のような約1K分のカラム選択信号が形成される。これらの各信号線は、サブアレイ上を延長するように4群に分かれて延長させられる。この実施例では、上記カラム選択信号線YS0～YS1023は、YS0～YS511とYS512～YS1023の2つに分けられ、例えばYS0とYS512のように1本ずつが選択される。つまり、1つのメモリバンクにおいては、1つのワード線の選択によって8K分のメモリセルが選択される。その中から、16ビットの単位で読み出しを行うためには0～511通りの選択信号が必要になるものである。

【0024】上記選択信号線YS0～YS511は、上記YデコーダYDECからビット線の延長方向に16個のサブアレイを貫通するように直線的に延び、上記各16個のサブアレイに対応した各センスアンプが設けられる部分でワード線方向に分岐し、かかる分岐部分では同図においてワード線方向に並べられた左半分に相当する3個のサブアレイに対応したセンスアンプ列上を延長するようにされる。上記選択信号線YS512～YS1023は、上記のようにYデコーダYDECから直線的に延長し、上記各16個のサブアレイに対応した各センスアンプが設けられる部分でワード方向に分岐し、同図では右半分に相当する3個のサブアレイに対応したセンスアンプ列上を延長するようにされる。

【0025】メイン入出力線MIOは、4対ずつが組となって全体で4組が上記ビット線の延長線方向に配置される。このメイン入出力線MIOは、上記サブワードドライバSWD及びサブワードドライバSWDとセンスア

ンプSAとに挟まれた交差領域ISの上を延長するようにされる。このため、上記メイン入出力線MIOは、上記YデコーダYDECから直線的に延びるカラム選択線YSとは平行となるように延長される。

【0026】図5の拡大図に示すように、ローカル入出力線LIOは、実線と点線で示されたトルーTとバーBに対応した相補線が一对とされて、メインワード線方向において4分割される。つまり、前記のように6個のサブアレイは、中央部に配置される交差エリアISとサブワードドライバSWDにより3個ずつに分けられる。そして、上記のように3個ずつに分けられたサブアレイは、その中間部に設けられたサブアレイに対応したセンスアンプSAにおいて、前記図3に示したように172ずつに分割されて、かかる分割部分において上記ローカル入出力線LIOが分離される。

【0027】上記4対ずつのメイン入出力線MIOには、上記のように4等分されて同じ長さにされたローカル入出力線LIOが接続される。特に制限されないが、ローカル入出力線LIOは、実線と点線で示したような2対ずつが1つのサブアレイのセンスアンプSAと交差エリア及び半分のサブアレイに対応したセンスアンプSAに配置される。サブアレイにおいて、1つのサブワード線SWLが選択されたとき、それを挟むように両側に配置される2つのセンスアンプSAが活性化され、そのうち前記カラム選択線YSにより選択された2対の相補ビット線が上記2つのセンスアンプ列に対応して配置される2対のローカル入出力線LIOに接続される。

【0028】上記センスアンプSA列に対応して2対ずつ設けられたローカル入出力線LIOは、それぞれにおいてメイン入出力線MIOとの交差部において、つまり、前記交差エリアISにおいて黒丸で示した選択回路(IOスイッチ)によりメイン入出力線MIOに接続される。この結果、図4のメモリアレイにおいては、16対のメイン入出力線MIO0T, B～MIO15T, Bに16ビットのデータが読み出される。1つのメモリバンクは、アレイコントローラACを挟んで上記図4に示したメモリアレイが2個設けられるので、全体で32ビット分の選択が可能であり、それぞれが図示しないメインアンプMAの入力端子に伝えられる。

【0029】例えば、16ビットの単位での読み出しを行うときには、上記32対のメイン入出力線MIOと32個のメインアンプMAを16ずつ2つに分け、それを1ビットのYアドレス信号により選択するようにすればよい。そして、バーストモードにおいて、カラムアドレスを切り換えて連続的に読み出しや書き込みを行うときに、一方のメインアンプMA等を活性化して読み出し動作を行うとき、次の読み出し等がおこなわれる他方ローカル入出力線LIOとメイン入出力線MIOに対するプリチャージ及びイコライズ動作を行うようにすることができる。

【0030】そして、8ビットの単位でメモリアクセスを行う構成なら、2ビットのYアドレス信号を用いて上記メインアンプMA等を8個ずつ4回に分けて選択すればよく、4ビットの単位でメモリアクセスを行う構成なら、3ビットのYアドレス信号を用いて上記メインアンプMA等を4個ずつ8回に分けて選択すればよい。このようなビット構成の切り換えは、ボンディングオプションやメタルオプション等により簡単に設定することができる。

【0031】図6には、1つのメモリバンクを構成するメモリアレイの一実施例の概略レイアウト図が示されている。同図は、前記図2に対応したものであり、上記選択回路の選択動作を説明するものである。選択回路は、I/O線の選択動作を行うにもかかわらず、X系のアドレス信号により選択信号が形成される。つまり、アレイコントローラに設けられたマツト選択信号BLEQにより選択動作が行われる。マツト選択信号BLEQは、0～17からなり、選択されたサブアレイ（メモリマツト）を挟む2つの信号が選択される。

【0032】前記のようにビット線方向に16分割されてなるサブアレイ（メモリマツト）のうち、図示のようにメモリマツト15が選ばれたとき、言い換えるならば、上記メモリアレイのうちYデコーダYDECから最も離れた位置に設けられる6個のサブアレイに対応したメインワード線（サブワード線）が選択されたとき、かかるサブアレイを挟む前記センスアンプSA及び交差エリアIS上に設けられる2つのマツト選択信号BLEQ16と17がロウレベルのような選択レベルにされる。これに対して、前記メインワード線が選択されないサブアレイに対応した残り16のマツト選択信号BLEQ0～15は、ハイレベルの非選択レベルにされる。

【0033】前記のような2つの交差エリアISに振り分けられて設けられたI/O線の選択回路は、上記マツト選択信号BLEQ16と17のロウレベルのような選択レベルによってローカル入出力線LIOとメイン入出力線MIOを接続させる。上記メイン入出力線MIOと他のメモリマツトに対応した選択回路は上記マツト選択信号BLEQ0～15よりオフ状態にされる。これにより、メイン入出力線MIOには、上記選択されたメモリマツトに対応したローカル入出力線LIOにのみ接続される。

【0034】上記のような選択動作において、上記メモリマツト15が選択されたとき、他のメモリマツトにおいては、上記ローカル入出力線LIOとメイン入出力線MIOとは接続されないが、各サブアレイの相補ビット線とそれぞれに対応したローカル入出力線LIOとは、各サブアレイ当たり4対ずつが接続されている。このため、かかる非選択メモリマツトに対応したローカル入出力線LIOは、後述するように上記選択されたローカル入出力線LIOときは異なるプリチャージ電圧が与えら

れる。

【0035】図15には、この発明に係るダイナミック型RAMのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例の回路図が示されている。同図においては、2つのサブアレイ15に上下から挟まれるようにされたセンスアンプ16と交差エリア18に設けられる回路が例示的に示され、他はブロック図として示されている。

【0036】ダイナミック型メモリセルは、上記1つのサブアレイ15に設けられたサブワード線SWLと、相補ビット線BL、BLBのうちの一方のビット線BLとの間に設けられた1つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択MOSFETQmと記憶キャパシタCsから構成される。アドレス選択MOSFETQmのゲートは、サブワード線SWLに接続される。このMOSFETQmのドレインはビット線BLに接続される。上記MOSFETQmのソースに記憶キャパシタCsが接続される。本願において、MOSFETは、絶縁ゲート型電界効果トランジスタ（IGFET）のことを総称するものであり、それ故、ゲート電極は金属に限定されずポリシリコン層を含むものであってもよいし、ゲート絶縁膜はシリコン酸化膜の他に絶縁膜であればよい。

【0037】上記記憶キャパシタCsの他方の電極は共通化されてプレート電圧VPLTが与えられる。上記MOSFETQmの基板（チャンネル）には負のバックバイアス電圧VBBが印加される。特に制限されないが、上記バックバイアス電圧VBBは、-1Vのような電圧に設定される。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETQmのしきい値電圧分だけ高くされた高電圧VPPとされる。

【0038】センスアンプを内部降圧電圧VDLで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧VDLレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧VPPはVDL+Vth+αにされる。センスアンプ16の左側に設けられたサブアレイの一对の相補ビット線BLとBLBは、同図に示すように平行に配置される。かかる相補ビット線BLとBLBは、シェアドスイッチMOSFETQ1とQ2によりセンスアンプの単位回路の入出力ノードと接続される。

【0039】センスアンプ16の単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型の増幅MOSFETQ5、Q6及びPチャンネル型の増幅MOSFETQ7、Q8からなるCMOSラッチ回路で構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線CSNに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線CSPに接続される。上記共

通ソース線CSNとCSPには、それぞれパワースイッチMOSFETが接続される。

【0040】特に制限されないが、Nチャンネル型の増幅MOSFETQ5とQ6のソースが接続された共通ソース線CSNには、特に制限されないが、上記交差エリア18に設けられたNチャンネル型のパワースイッチMOSFETQ14により接地電位に対応した動作電圧が与えられる。同様に上記Pチャンネル型の増幅MOSFETQ7とQ8のソースが接続された共通ソース線CSPには、上記内部電圧VDLを供給するNチャンネル型のパワーMOSFETQ15が設けられる。上記のパワースイッチMOSFETは、後に図14を用いて説明するように各単位回路に分散して設けるようにしてもよい。

【0041】上記Nチャンネル型のパワーMOSFETQ14とQ15のゲートに供給されるセンスアンプ用活性化信号SANとSAPは、センスアンプの活性時にハイレベルにされる同相の信号とされる。信号SAPのハイレベルは昇圧電圧VPPレベルの信号とされる。昇圧電圧VPPは、VDLが1.8Vのとき、約3.6Vにされるので、上記Nチャンネル型MOSFETQ15を十分にオン状態にして共通ソース線CSPを内部電圧VDLレベルにすることができる。

【0042】上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズMOSFETQ11と、相補ビット線にハーフプリチャージ電圧VBLRを供給するスイッチMOSFETQ9とQ10からなるプリチャージ（イコライズ）回路が設けられる。これらのMOSFETQ9～Q11のゲートは、共通にプリチャージ信号PCBが供給される。このプリチャージ信号PCBを形成するドライバ回路は、図示しないが、上記交差エリア18にインバータ回路を設けて、その立ち上がりや立ち下がり的高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各交差エリア18に分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するMOSFETQ9～Q11を高速に切り替えるようにするものである。

【0043】上記交差エリア18には、選択回路（又はIOSW）を構成するスイッチMOSFETQ19、Q20が置かれる。さらに、同図に示した回路以外にも、必要に応じてセンスアンプのコモンソース線CSPとCSNのハーフプリチャージ回路、ローカル入出力線LIOのハーフプリチャージ回路、メイン入出力線のVDLプリチャージ回路、シェアード選択信号線SHRとSHLの分散ドライバ回路や、この発明に係る一対の短絡MOSFETM1とM2が上記選択回路の両側において設けられる。

【0044】センスアンプの単位回路は、シェアードスイッチMOSFETQ3とQ4を介して図下側のサブア

レイ15の同様な相補ビット線BL、BLBに接続される。例えば、上側のサブアレイのサブワード線SWLが選択されたときには、センスアンプの上側シェアードスイッチMOSFETQ1とQ2はオン状態に、下側シェアードスイッチMOSFETQ3とQ4がオフ状態にされる。スイッチMOSFETQ12とQ13は、カラム選択回路を構成するものであり、上記選択信号YSが選択レベル（ハイレベル）にされるとオン状態となり、上記センスアンプの単位回路の入出力ノードとローカル入出力線LIO1とLIO1B（LIO2とLIO2B）とを接続させる。

【0045】上記センスアンプ16及び交差エリア18には、前記のように2対のローカル入出力線、例えばLIO1とLIO1B及びLIO2とLIO2Bが設けられるので、上記1つの選択信号YSによりサブアレイ15の2対の相補ビット線が上記2対のローカル入出力線LIO1とLIO1B及びLIO2とLIO2Bに接続される。サブアレイ15を挟んで図示しない他方のセンスアンプ16にも上記同様に2対のローカル入出力線が設けられており、前記のようにサブアレイの中の4対の相補ビット線が4対のローカル入出力線に接続される。

【0046】上記のように上側シェアードスイッチMOSFETQ1とQ2がオン状態のときには、センスアンプの入出力ノードに上記上側の相補ビット線BL、BLBに接続されて、選択されたサブワード線SWLに接続されたメモリセルからの微小信号を増幅し、上記カラム選択回路（Q12とQ13）を通してローカル入出力線LIO1、LIO1Bに伝える。上記ローカル入出力線LIO1、LIO1Bは、上記センスアンプ列に沿って、同図では横方向に延長される。上記ローカル入出力線LIO1、LIO1Bは、交差エリア18に設けられたNチャンネル型MOSFETQ19とQ20からなる選択回路（IOSW）を介してメインアンプ61の入力端子が接続されるメイン入出力線MIO、MIOBに接続される。

【0047】上記IOSWスイッチ回路を構成する選択回路IOSWは、前記のようにX系のアドレス信号を解読して形成されたマツト選択信号よりスイッチ制御される。なお、選択回路IOSWは、次に説明するように上記Nチャンネル型MOSFETQ19とQ20のそれぞれにPチャンネル型MOSFETを並列に接続したCMOSスイッチ構成としてもよい。シンクロナスDRAMのバーストモードでは、上記カラム選択信号YSがカウンタ動作により切り換えられ、前記例示的に示されている上記ローカル入出力線LIO1、LIO1B及びLIO2、LIO2Bとサブアレイの二対ずつの相補ビット線BL、BLBとの接続が順次に切り換えられる。

【0048】アドレス信号Aiは、アドレスバッファ51に供給される。このアドレスバッファは、時分割的に動作してXアドレス信号とYアドレス信号を取り込む。

Xアドレス信号は、プリデコーダ52に供給され、メインローデコーダ11とメインワードドライバ12を介してメインワード線MWLの選択信号が形成される。上記アドレスバッファ51は、外部端子から供給されるアドレス信号Aiを受けるものであり、外部端子から供給される電源電圧VDDQにより動作させられる。

【0049】上記プリデコーダは、それを降圧した降圧電圧VPERI (VDD) により動作させられ、上記メインワードドライバ12は、昇圧電圧VPPにより動作させられる。このメインワードドライバ12として、上記プリデコード信号を受けるレベル変換機能付論理回路が用いられる。カラムデコーダ(ドライバ)53は、上記VCLP発生回路を構成するMOSFETQ23により動作電圧が形成される駆動回路を含み、上記アドレスバッファ51の時分割的な動作によって供給されるYアドレス信号を受けて、上記選択信号YSを形成する。

【0050】上記メインアンプ61は、前記降圧電圧VPERI (VDD) により動作させられ、外部端子から供給される電源電圧VDDQで動作させられる出力バッファ62を通して外部端子Dout から出力される。外部端子Dinから入力される書き込み信号は、入力バッファ63を通して取り込まれ、同図においてメインアンプ61に含まれるライトアンプ(ライトドライバ)を通して上記メイン入出力線MIOとMIOBに書き込み信号を供給する。上記出力バッファ62の入力部には、レベル変換回路とその出力信号を上記クロック信号に対応したタイミング信号に同期させて出力させるための論理部が設けられる。

【0051】特に制限されないが、上記外部端子から供給される電源電圧VDDQは、第1の形態では3.3Vにされ、内部回路に供給される降圧電圧VPERI (VDD) は2.5Vに設定され、上記センスアンプの動作電圧VDLは1.8Vとされる。そして、ワード線の選択信号(昇圧電圧)は、3.6Vにされる。ビット線のプリチャージ電圧VBLRは、VDL/2に対応した0.9Vにされ、プレート電圧VPLTも0.9Vにされる。そして、基板電圧VBBは-1.0Vにされる。上記外部端子から供給される電源電圧VDDQは、第2の形態として2.5Vのような低電圧にされてもよい。このように低い電源電圧VDDQのときには、降圧電圧VPERI (VDD) と、降圧電圧VDLを1.8V程度と同じくしてもよい。

【0052】あるいは、外部端子から供給される電源電圧VDDQは3.3Vにされ、内部回路に供給される降圧電圧VPERI (VDD) とセンスアンプの動作電圧VDLとを同じく2.0V又は1.8Vのようにしてもよい。このように外部電源電圧VDDQに対して内部電圧は、種々の実施形態を探ることができる。

【0053】図7には、この発明に係る半導体記憶装置の一実施例の要部回路図が示され、図16にはその動作

波形図が示されている。図7においては、一対のローカル入出力線LIO T, LIO Bと一対のメイン入出力線MIO T, MIO Bと、それに関連する各回路が示されている。上記ローカル入出力線LIO T, LIO Bは、ブラックボックスで示されたセンスアンプ(SA)列の前記のようなカラムスイッチMOSFETを介して、センスアンプの単位回路の入出力ノードと接続される。

【0054】ローカル入出力線LIO TとLIO Bは、上記センスアンプ列を延長するように形成され、かかるセンスアンプ列において512対からなるカラムスイッチMOSFETと接続される。そして、前記センスアンプとサブワードドライバに挟まれた交差エリアISにおいて、メイン入出力線MIO T, MIO Bと選択回路を構成するMOSFETQ8~Q11により接続される。この選択回路は、Pチャンネル型MOSFETQ8(Q9)とNチャンネル型MOSFETQ10(Q11)とが対とされるCMOSスイッチにより構成される。Pチャンネル型MOSFETQ8とQ9のゲートには、選択状態のときにロウレベルにされるマツト選択信号BLEQが供給され、Nチャンネル型MOSFETQ10とQ11のゲートには、その反転信号BLEQBが供給される。

【0055】上記の構成では、非選択のサブアレイ(メモリマツト)においても、カラム選択信号YSによりローカル入出力線LIO T, LIO Bと相補ビット線とは接続されており、相補ビット線とローカルビット線LIO T, LIO Bに選択されたものと同じメイン入出力線MIOからのプリチャージ電圧VDLが残っていると、非動作状態のセンスアンプを構成する増幅MOSFETを介して相補ビット線のプリチャージ電圧を変動させてしまう。そこで、上記ローカル入出力線LIO T, LIO Bには、Nチャンネル型のMOSFETQ1ないしQ3からなるプリチャージ回路が設けられる。このプリチャージ回路は、かかるローカル入出力線LIO T, LIO Bが非選択状態のとき、つまり、上記選択回路がオフ状態にされるプリチャージサイクルにおいて、ローカル入出力線LIO TとLIO Bとを、サブアレイに設けられる相補ビット線と同じプリチャージ電圧VBLRに設定し、相補ビット線のプリチャージ電圧を安定化させる。

【0056】上記メイン入出力線MIO TとMIO Bは、前記のようなYデコーダYDEC側に設けられたメインアンプMAの入力端子に接続される。このメインアンプMAは、特に制限されないが、回路構成は前記のセンスアンプと同様なCMOSラッチ回路から構成され、その動作タイミングにより増幅動作を行う。このメインアンプMAの入力部分に、MOSFETQ12~Q14からなるプリチャージ回路が設けられる。これらのMOSFETQ12~Q14は、Pチャンネル型MOSFETから構成され、上記メイン入出力MIO TとMIO B

に動作電圧V<sub>DL</sub>を供給するMOSFETQ14とQ13、及び両メイン入出力線MIOTとMIOBを短絡するMOSFETQ12から構成される。これらのMOSFETQ12～Q14のゲートには、プリチャージ信号EQIOBが供給される。

【0057】この実施例では、上記選択回路（IOスイッチ）を構成するMOSFETQ8～Q11の両側に、一対の短絡MOSFETM1とM2が設けられる。これらのMOSFETM1とM2は、上記交差エリアISに形成される。これらのMOSFETM1とM2のゲートには、上記プリチャージ信号EQIOBが供給される。上記短絡MOSFETM1とM2は、メイン入出力線MIOTとMIOBに接続される複数の選択回路の両側に設けられているので、図16のようにリードサイクル終了時に発生されるプリチャージ信号EQIOBのロウレベルにより、上記短絡MOSFETM1とM2がオン状態となってLIO<sub>T</sub>/B及びMIO<sub>T</sub>/Bのイコライズを高速に行うことができる。

【0058】図16において、電圧V<sub>DL</sub>は前記のようなセンスアンプの動作電圧であり、例えば1.6Vとされる。電圧V<sub>CL</sub>は間接周辺回路の動作電圧であり、V<sub>PR1</sub>と同じ意味であり、例えば2.5Vとされる。V<sub>PP</sub>は前記昇圧電圧であり、例えば3.5Vとされる。信号MIWはライト起動信号であり、この信号MIWのハイレベルにより書き込み信号がMIO及びLIOを介して選択されたメモセルが接続された相補ビット線LBに伝えられる。信号DIOETは、サブ増幅回路の起動信号であり、リード及びライト時にイネーブルにされたビット線からの読み出し信号、あるいはMIOからの書き込み信号を増幅してLIOの電圧差を大きくするように動作する。

【0059】上記の各MOSFETM1とM2は単に短絡動作を行うものであり、プリチャージ電圧V<sub>DL</sub>を供給するものではない。このため、上記短絡MOSFETM1とM2を設けただけでは、上記プリチャージ回路（Q12～Q14）から離れた箇所では、プリチャージ（イコライズ）期間が短いとプリチャージ電圧V<sub>DL</sub>にはならない可能性が生じる。しかし、上記短絡MOSFETM1とM2の短絡動作によって、上記選択回路の両側においてはメイン入出力線MIOTとMIOB及びローカル入出力線LIO<sub>T</sub>とLIO<sub>B</sub>とは上記プリチャージ電圧V<sub>DL</sub>にはならなくとも同一の電位にはできるものである。このように、メイン入出力線MIOTとMIOB及び各ローカル入出力線LIO<sub>T</sub>、LIO<sub>B</sub>において、プリチャージ終了時に前の読み出し信号や書き込み信号に対応した電位差を生じなくできる。これにより、プリチャージ動作後の読み出し動作や書き込み動作において、実質的な信号の伝達が高速にでき、読み出し動作や書き込み動作の高速化が可能になるものである。

【0060】シンクロナスDRAMにおけるバーストモ

ードでは、クロック信号よりYアドレスを切り換えて連続的なメモリアクセスを行うものであり、上記クロック信号の周波数が高くなるに従い、上記プリチャージ（イコライズ）期間も短くされる。本願発明では、上記プリチャージ期間が短くされることにより、各ノードの電位を全て所望のプリチャージ電位V<sub>DL</sub>にはならなくとも、上記のような短絡MOSFETを設けることによってメイン入出力線MIOT、MIOBと各ローカル入出力線LIO<sub>T</sub>とLIO<sub>B</sub>の電位差を生じなくすることにより、読み出し動作や書き込み動作の高速化を図るようになるものである。つまり、メイン入出力線MIOT、MIOBやローカル入出力線LIO<sub>T</sub>、LIO<sub>B</sub>のプリチャージ電圧は、メインアンプMAの増幅動作が行えたり、書き込み動作ではセンスアンプSAの反転動作に必要なローカル入出力線LIO<sub>T</sub>、LIO<sub>B</sub>の電位が確保できればよく、必ずしもV<sub>DL</sub>に設定される必要はないのである。

【0061】この実施例では、高速読み出し動作のためにローカル入出力線LIO<sub>T</sub>とLIO<sub>B</sub>には、MOSFETQ4～Q7からなるサブ増幅回路が設けられる。これらのMOSFETQ4～Q7は、上記交差エリアISに配置される。この交差エリアISに、上記のようなサブ増幅回路を設ける場合、素子形成エリアを確保するために、センスアンプSA列に後述するような活性化MOSFETを分散配置することが望ましい。

【0062】上記サブ増幅回路は、ゲートとドレインとが交差接続されて上記ローカル入出力線LIO<sub>T</sub>とLIO<sub>B</sub>に接続されたラッチ形態の増幅MOSFETQ4とQ5と、上記MOSFETQ4とQ5の共通化されたソースと回路の接地電位V<sub>SS</sub>との間に設けられ動作電流を流すMOSFETQ6とQ7から構成される。MOSFETQ6のゲートには動作タイミング信号DIOETが供給され、MOSFETQ7のゲートにはマツト選択信号BLEQBが供給される。つまり、選択されたメモリマツトに対応したローカル入出力線LIO<sub>T</sub>とLIO<sub>B</sub>に接続されたサブ増幅回路のみが、読み出しや書き込みの信号伝達タイミングに合わせて動作させられる。

【0063】上記のようなサブ増幅回路を設けることにより、多数のカラム選択MOSFETが接続されることにより、比較的大きな寄生容量を持つローカル入出力線LIO<sub>T</sub>とLIO<sub>B</sub>の信号変化を速くでき、高速な読み出し動作や書き込み動作を可能にすることができる。このようなサブ増幅回路を設けた場合、ローカル入出力線LIO<sub>T</sub>とLIO<sub>B</sub>に前記のようなプリチャージ動作での電位差が残っていると、それをそのまま増幅してしまうので、その動作タイミングを遅くする必要がある。しかし、この実施例のように短絡MOSFETM1を設けた場合には、上記のようなタイミングマージンが不要になって、いっそうの高速動作化を実現することができる。

【0064】図8には、この発明に係る半導体記憶装置の他の一実施例の要部回路図が示されている。同図においては、前記図7の実施例回路に対して、選択回路のメイン入出力線M I O T、M I O B側に、プリチャージ電圧V D Lを供給するM O S F E T M 3とM 4が追加される。これにより、メイン入出力線M I O TとM I O Bを上記選択回路が設けられる複数箇所からプリチャージ電圧V D Lを供給することができるため、上記短絡M O S F E T M 1とM 2による短絡動作と相乗的に作用して、より短い時間でのプリチャージ動作を可能にすることができる。

【0065】図9には、この発明に係る半導体記憶装置の更に他の一実施例の要部回路図が示されている。同図においては、前記図8の実施例回路に対して、選択回路のローカル入出力線L I O T、L I O B側にもプリチャージ電圧V D Lを供給するM O S F E T M 5とM 6が追加される。これにより、メイン入出力線M I O TとM I O Bを上記選択回路が設けられる複数箇所からプリチャージ電圧V D Lを供給し、しかも各ローカル入出力線L I O T、L I O B側でもプリチャージ電圧V D Lを供給するものであるため、よりいっそう短い時間でのプリチャージ動作を可能にすることができる。

【0066】ただし、ローカル入出力線L I O BとL I O Bに設けられるプリチャージ回路は、プリチャージ信号Xが用いられ、マツト選択信号B L E Q Bに対応したローカル入出力線L I O TとL I O Bのみがプリチャージ動作を行うようにする必要がある。つまり、非選択のローカル入出力線L I O TとL I O Bでは、プリチャージ電圧V B L Rが供給されるので、V D LとV B L Tとが衝突しないように制御する必要がある。

【0067】図10には、この発明に係る半導体記憶装置の一実施例の要部回路図が示されている。同図は、前記図7の実施例をより詳しく説明するためのものである。メイン入出力線M I O TとからなるM I O線に対して、前記のような複数のメモリマツトに対応した交差エリアI Sにおいて、複数からなる選択回路を介してそれぞれのメモリマツトに対応したローカル入出力線L I O TとL I O Bとが接続される。

【0068】この実施例では、上記各メモリマツトに対応した選択回路の両側に短絡M O S F E T M 1とM 2が設けられる。これらの短絡M O S F E T M 1とM 2のゲートは、同様に設けられる他のメモリマツトに対応した短絡M O S F E T M 1とM 2のゲートと共通接続され、プリチャージ信号E Q I O Bが供給される。このプリチャージ信号E Q I O Bは、非選択のメモリマツトのローカル入出力線L I O TとL I O Bの短絡M O S F E T M 1もオン状態にさせる。したがって、このような非選択のローカル入出力線L I O TとL I O Bにおいては、上記ローカル入出力線L I O TとL I O B側の短絡M O S F E T M 1は、ビット線のハーフプリチャージ電圧に対

応したプリチャージ電圧V B L Rの短絡M O S F E Tとしての動作を行うこととなる。

【0069】これに対して、非選択のローカル入出力線L I O TとL I O Bにおいては、上記メイン入出力線M I O TとM I O B側の短絡M O S F E T M 2は、M I O線の短絡M O S F E Tとし動作するものである。したがって、前記のようにメイン入出力線M I O TとM I O Bがプリチャージ期間において少なくとも同電位になるように作用するものである。

【0070】メインアンプM Aの出力側は、グローバル入出力線G I O TとG I O Bに接続される。このグローバル入出力線G I O TとG I O Bは、前記のように16ビットの単位でのメモリアクセスを行う場合には、16対の信号線とされて1つのメモリバンクにおいて2個のメインアンプの出力端子に接続される。そして、前記図1のようにメモリチップに4のメモリバンクがある場合には、それぞれのメモリバンクにおいて2個ずつのメインアンプの出力端子が接続されるよう配置される。上記グローバル入出力線G I O TとG I O Bは、図15においてメインアンプM Aの出力端子と出力バッファ62の入力端子及び入力バッファ63の出力端子を接続する信号伝達経路を構成する。

【0071】図11には、この発明に係る半導体記憶装置の動作の一例を説明するためのタイミング図が示されている。同図(A)にはリードモードの例が示され、同図(B)にはライトモードの例が示されている。同図のようにクロック信号C L K ( / C L K )の立ち上がり立ち下がりの変化タイミングに同期してデータの入力(書き込み)や出力(読み出し)が行われるD D RのシンクロナスD R A Mでは、クロック信号C L Kの半周期の間に前記プリチャージ動作を行う必要があり、前記のような短絡M O S F E T M 1とM 2を設けることの意義が大きいものとなる。

【0072】図12には、この発明を説明するためのタイミング図が示されている。同図には、シンクロナスD R A M (以下、S D R A Mと略する)とD D RのS D R A Mの動作が比較して示されている。D D RのS D R A Mでは、同じクロック周波数でも、2倍の速度でデータの入力や出力を行うことができる。このことは、前記のようなメイン入出力線M I Oやローカル入出力線L I Oのプリチャージ期間が短くなることを意味する。

【0073】したがって、クロック周波数を高くし、上記のようなD D R動作を行わせる場合において、上記メイン入出力線M I Oやローカル入出力線L I Oのプリチャージ期間の確保がネックとなって高速化を妨げるものである。本願発明では、基本的には上記メイン入出力線M I Oとローカル入出力線L I Oとを接続するI Oスイッチ(選択回路)の両側に短絡M O S F E Tを設けるという単純な構成により、かかる問題を解決することができるという優れた作用効果を奏する。



【0074】図13には、この発明に係るダイナミック型RAMのセンスアンプ部の一実施例の回路図が示されている。この実施例のMOSFETに付された回路記号は、図15に示したものと対応し、前記図7～図9に示されたMOSFETと一部重複しているが、それぞれは別個の回路機能を持つものであると理解されたい。

【0075】センスアンプの単位回路を前記説明したようにNチャンネル型MOSFETQ5とQ6及びPチャンネル型MOSFETQ7とQ8から構成される。これらのラッチ形態のNチャンネル型MOSFETQ5とQ6及びPチャンネル型MOSFETQ7とQ8のソースは、前記同じサブアレイに対応して設けられる図示しない他の同様なセンスアンプを構成するNチャンネル型MOSFET及びPチャンネル型MOSFETのソースとをそれぞれ共通接続される共通ソース線CSNとCSPに接続される。

【0076】上記共通ソース線CSNには、タイミング信号SANを受けるNチャンネル型MOSFETQ14を介して動作電圧VSSAが供給され、上記共通ソース線CSPには、タイミング信号SAPを受けるNチャンネル型MOSFETQ15を介して動作電圧VDLが供給される。この実施例では、上記センスアンプの一方の動作電圧とされる接地電位VSSAは、前記周辺回路等からのノイズの影響を受けないようにするために、その接地電位VSSとは分離された接地線により外部端子から供給される接地電位が与えられる。つまり、センスアンプに与えられる接地電位VSSAは、上記周辺回路や入出力回路とは別に設けられた配線により外部端子から直接的に回路の接地電位が与えられる。

【0077】上記ラッチ回路の一对の入出力ノード（センスノード）SATとSABには、それらを短絡するイコライズMOSFETQ11と、ハーフプリチャージ電圧VBLRを上記センスノードSATとSABに伝えるプリチャージMOSFETQ9とQ10とからなるプリチャージ回路が設けられる。また、上記センスノードSATとSABは、ゲートにカラム選択信号YSが供給されるカラムスイッチMOSFETQ12とQ13を介してローカル入出力線LIOTとLIOBに接続される。上記カラム選択信号YSは、特に制限されないが、4対のLIOに対応した上記選択スイッチMOSFETに共通に供給される。そして、上記センスアンプ部を挟んで左側に設けられる相補ビット線BLLTとBLLBとの間には、シェアードスイッチMOSFETQ1とQ2が設けられ、右側に設けられる相補ビット線BLRTとBLRBとの間には、シェアードスイッチMOSFETQ3とQ4が設けられる。

【0078】上記シェアードスイッチMOSFETQ1とQ2のゲートには、制御信号SHLが供給され、上記シェアードスイッチMOSFETQ3とQ4のゲートには、制御信号SHRが供給される。上記センスアンプ部

の左側の相補ビット線BLLTとBLLBとそれと直交するように配置されたサブワード線SWL1、SWL2等とのそれぞれの交点に前記のようなアドレス選択MOSFETQmと記憶キャパシタCsからなるダイナミック型メモリセルが設けられる。同様に、上記センスアンプ部の右側の相補ビット線BLRTとBLRBとそれと直交するように配置されたサブワード線SWL3、SWL4等とのそれぞれの交点に前記のようなアドレス選択MOSFETQmと記憶キャパシタCsからなるダイナミック型メモリセルが設けられる。

【0079】図14には、この発明に係るダイナミック型RAMに用いられるセンスアンプ部の一実施例の概略素子レイアウト図が示されている。この実施例では、センスアンプを駆動するパワースイッチMOSFETQ14とQ15が、センスアンプ列に沿って分散して配置される。つまり、前記のような交差エリアに大きなサイズとして纏めて配置されるのではなく、センスアンプ列の中に分散して小さな素子サイズのパワースイッチMOSFETQ14とQ15が設けられる。

【0080】特に制限されないが、この実施例では、16個の単位回路に対応して上記2つのMOSFETQ14とQ15が配置される。つまり、左端に設けられた単位回路を例にして説明すると、上側から順にシェアードスイッチMOSFETQ1、Q2、プリチャージ回路を構成するMOSFETQ9～11、カラム選択回路を構成するスイッチMOSFETQ12、Q13、CMOSラッチ回路を構成するPチャンネル型増幅MOSFETQ7、Q8、上記パワースイッチMOSFETQ14とQ15の形成領域を挟んでCMOSラッチ回路を構成するNチャンネル型増幅MOSFETQ5、Q6、及びシェアードスイッチMOSFETQ3、Q4のように配置される。

【0081】上記パワースイッチMOSFETQ14とQ15は、センスアンプ列に沿ってゲートが延長されるよう、例えば上記シェアードスイッチMOSFETQ1、Q2等に比べてチャンネル幅が十分に大きく、言い換えるならば、素子サイズが大きく形成されて大きな電流を流すことができるようにされる。この場合、Nチャンネル型MOSFETの共通ソース線CSNを駆動するMOSFETQ14は、そのゲートに供給される電圧がVDLのように比較的低い電位であるために、ゲートに電源電圧VDD又は昇圧電圧VPPが供給されるMOSFETQ15に比べて大きなサイズにされる。

【0082】このようにセンスアンプを駆動するパワースイッチMOSFETを分散配置した場合には、センスノードとパワースイッチMOSFETとの間の距離が短くでき、サブアレイに設けられる複数のセンスアンプの動作タイミングを相互に均一にすることができるとともに、前記クロスエリアを他の一对からなる短絡MOSFETM1とM2、これに加えてもMOSFETQ4～Q

7等からなるサブ増幅回路、あるいは必要に応じてMOSFETM3～M6のようなプリチャージMOSFETを設けるために有効利用することができる。

【0083】上記の実施例から得られる作用効果は、下記の通りである。

(1) メモリセルアレイの複数の相補ビット線対の信号をそれぞれ複数からなる第1増幅回路で増幅し、上記複数の第1増幅回路を第1選択回路で選択して第1共通相補線対に接続し、かかる各回路を備えたメモリブロックの複数個に対応して上記第1共通相補線対を第2選択回路より第2共通相補線対に接続し、上記第2共通相補線対に所定電圧を与える第1プリチャージ回路と、上記第2共通相補線対に伝えられた上記メモリセルからの読み出し信号増幅する増幅回路とを含む半導体記憶装置において、上記複数からなる第1選択回路の両側に上記第1共通相補線対及び第2共通相補線対をそれぞれ短絡する一対の短絡MOSFETを設け、上記第1プリチャージ回路によるプリチャージ期間に上記第2選択回路を選択状態にするとともに上記短絡MOSFETをオン状態にして上記各信号線対の電位を等しくすることにより、信号伝達に必要な電圧を確保しつつ信号伝達を高速に行うようにすることができるという効果が得られる。

【0084】(2) 上記のような構成に加えて、上記相補ビット線対に上記第1増幅回路の動作電圧の中間電圧を供給する第2プリチャージ回路を設け、上記ワード線の選択によってメモリセルから一方のビット線に現れた読み出し信号を、他方のビット線の上記プリチャージされた中間電圧を参照電圧として第1増幅回路が増幅動作を行うものとし、上記第1共通相補線対には上記第1選択回路において非選択にされた第1共通相補線対を上記中間電圧にプリチャージする第3プリチャージ回路を設けることにより、動作の安定化も図ることができるという効果が得られる。

【0085】(3) 上記のような構成に加えて、上記第1増幅回路として、そのゲートとドレインとが交差接続されてなる一対のPチャンネル型MOSFETとNチャンネル型MOSFETからなるCMOSラッチ回路と、センスアンプの動作期間に上記Pチャンネル型MOSFETとNチャンネル型MOSFETのソースにそれぞれ動作電圧を与えるスイッチMOSFETとすることにより、高感度のセンス動作を行わせることもできるという効果が得られる。

【0086】(4) ダイナミック型RAMにおいて、カラム選択信号により制御されるカラム選択回路により上記センスアンプの入出力ノードをローカル入出力線対に接続するメモリブロックの複数個に対して、選択回路とを設けてメイン入出力線対と接続し、上記メイン入出力線対に所定電圧を与える第1プリチャージ回路を設けるとともに、上記複数からなる選択回路の両側に上記ローカル入出力線対及びメイン入出力線対をそれぞれ短絡

する一対の短絡MOSFETを設け、上記第1プリチャージ回路によるプリチャージ期間に上記一対の短絡MOSFETをオン状態にして上記メイン入出力線対及びローカル入出力線対電位を等しくすることにより、読み出し動作や書き込み動作での信号伝達に必要な電圧を確保しつつ信号伝達を高速に行うようにすることができるという効果が得られる。

【0087】(5) 上記のような構成に加えて、上記相補ビット線対に上記センスアンプの動作電圧の中間電圧を供給する第2プリチャージ回路を設けて上記ワード線の選択によってメモリセルから一方のビット線に現れた読み出し信号を、他方のビット線の上記プリチャージされた中間電圧を参照電圧として用い、上記ローカル入出力線対には第3プリチャージ回路を設け、上記選択回路において非選択にされたローカル入出力線対を上記中間電圧にプリチャージすることにより動作の安定化も図ることができるという効果が得られる。

【0088】(6) 上記のような構成に加えて、上記センスアンプの入出力ノードを中心にして左右に相補ビット線対を配置してシェアードスイッチMOSFETで選択し、上記ワード線をメインワード線と、かかるメインワード線に対して共通に割り当てられてなる複数のサブワード線の階層構成としてメインワード線の信号とサブワード選択線の信号でサブワードドライバによりサブワード線を選択し、メモリセルアレイの端部を除いてサブワードドライバを中心にして左右に設けられるサブワード線の選択信号を形成し、メモリセルアレイの端部を除いてセンスアンプを中心にして左右に設けられる相補ビット線からの増幅信号をセンスすることにより、サブワード線及び相補ビット線の高密度配置も可能になるという効果が得られる。

【0089】(7) 上記のような構成に加えて、上記サブワードドライバと上記センスアンプにより囲まれる領域に上記メモリセルがマトリクス状態に配置されてサブアレイを構成し、幾何学的に互いに隣接するサブアレイに対応した上記サブワードドライバと上記センスアンプとに挟まれる交差領域に、上記選択回路と、上記一対の短絡MOSFETとを設けることにより、高密度配置も可能になるという効果が得られる。

【0090】(8) 上記のような構成に加えて、上記ラッチ回路にはパワースイッチMOSFETを介して上記動作電圧を与え、かかるパワースイッチMOSFETを上記センスアンプが形成される半導体領域において、そこに形成される複数個のラッチ回路をそれぞれが分担するように複数組を設けることにより、上記交差領域の有効利用化を図ることもできるという効果が得られる。

【0091】(9) 上記のような構成に加えて、上記一対の短絡MOSFETを共通の制御信号が供給されるPチャンネル型MOSFETとすることにより、制御信号線を減らすとともに通常の信号レベルによりプリチャ

ージ電圧V<sub>DL</sub>に対応した短絡動作を行わせることもできるという効果が得られる。

【0092】(10) 上記のような構成に加えて、上記制御信号を第1プリチャージ回路のプリチャージ制御信号と同一とすることにより、制御回路の簡略化を図ることができるという効果が得られる。

【0093】(11) 上記のような構成に加えて、上記ローカル入出力線対には、ゲートとドレインとが交差接続されてなるMOSFETを含み、そこに伝えられる信号を増幅するサブ増幅回路を上記交差領域において更に設けることにより、短絡MOSFETの短絡動作をいっそう効果的に活用して読み出し及び書き込みの高速動作化を図ることができるという効果が得られる。

【0094】(12) 上記のような構成に加えて、上記選択回路のそれぞれに対応し、上記第1プリチャージ回路と同じ第4プリチャージ回路を更に設けることにより、プリチャージ動作の高速化を図ることができるという効果が得られる。

【0095】(13) 上記のような構成に加えて、上記第4プリチャージ回路を上記メイン入出力線対側と上記ローカル入出力線対側の双方に設けつつ、ローカル入出力線対側に設けられた第4プリチャージ回路をそれに対応したローカル入出力線対が非選択のときには動作が停止させることにより、プリチャージ動作のいっそうの高速化と非選択ビット線の安定化を図ることができるという効果が得られる。

【0096】(14) 上記のような構成に加えて、上記第1プリチャージ回路と第4プリチャージ回路をPチャンネル型MOSFETにより構成することにより、制御信号の共通化を図りつつ、その信号レベルを通常の論理レベルを用いることができるという効果が得られる。

【0097】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図1、図2等にしたダイナミック型RAMにおいてメモリアレイ、サブアレイ及びサブワードドライバの構成は、種々の実施形態を採ることができるし、ダイナミック型RAMの入出力インターフェイスは、シンクロナス仕様の他にランバス仕様等に適合したもの等種々の実施形態を採ることができるものである。

【0098】ワード線は、前記のような階層ワード線方式の他にワードシャント方式を採るものであってもよい。半導体記憶装置は、前記のようなDRAMの他にスタティック型RAMやEPROM、あるいはEEPROMのような読み出し専用メモリにおいてもIO線を前記のような階層構造にするものには同様に適用できるものである。この発明は、IO線を前記のような階層構造にする半導体記憶装置及びそのようなメモリ回路を含む半導体装置に広く利用できる。

【0099】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。メモリアレイの複数の相補ビット線対の信号をそれぞれ複数からなる第1増幅回路で増幅し、上記複数の第1増幅回路を第1選択回路で選択して第1共通相補線対に接続し、かかる各回路を備えたメモリブロックの複数個に対応して上記第1共通相補線対を第2選択回路より第2共通相補線対に接続し、上記第2共通相補線対に所定電圧を与える第1プリチャージ回路と、上記第2共通相補線対に伝えられた上記メモリアレイからの読み出し信号を増幅する増幅回路とを含む半導体記憶装置において、上記複数からなる第1選択回路の両側に上記第1共通相補線対及び第2共通相補線対をそれぞれ短絡する一対の短絡MOSFETを設け、上記第1プリチャージ回路によるプリチャージ期間に上記第2選択回路を選択状態にするとともに上記短絡MOSFETをオン状態にして上記各信号線対の電位を等しくすることにより、信号伝達に必要な電圧を確保しつつ信号伝達を高速に行うようにすることができる。

【図面の簡単な説明】

【図1】この発明が適用されるダイナミック型RAMの一実施例を示す概略チップレイアウト図である。

【図2】この発明に係るダイナミック型RAMにおける1つのメモリバンクを構成するメモリアレイの一実施例を示す概略レイアウト図である。

【図3】この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路の一実施例を示す概略レイアウト図である。

【図4】この発明に係るダイナミック型RAMにおける1つのメモリバンクを構成するメモリアレイの一実施例を示す概略レイアウト図である。

【図5】図4に示したメモリアレイの一部拡大図である。

【図6】この発明に係るダイナミック型RAMにおける1つのメモリバンクを構成するメモリアレイの一実施例を示す概略レイアウト図である。

【図7】この発明に係る半導体記憶装置の一実施例を示す要部回路図である。

【図8】この発明に係る半導体記憶装置の他の一実施例を示す要部回路図である。

【図9】この発明に係る半導体記憶装置の他の一実施例を示す要部回路図である。

【図10】この発明に係る半導体記憶装置の一実施例を示す要部回路図である。

【図11】この発明に係る半導体記憶装置の動作の一例を説明するためのタイミング図である。

【図12】この発明に係る半導体記憶装置を説明するためのタイミング図である。

【図13】この発明に係るダイナミック型RAMのセン

スアンプ部の一実施例を示す回路図である。

【図 14】 この発明に係るダイナミック型 RAM に用いられるセンスアンプ部の一実施例を示す概略素子レイアウト図である。

【図 15】 この発明に係るダイナミック型 RAM の一実施例を示す回路図である。

【図 16】 この発明に係る半導体記憶装置の動作の一例を示す動作波形図である。

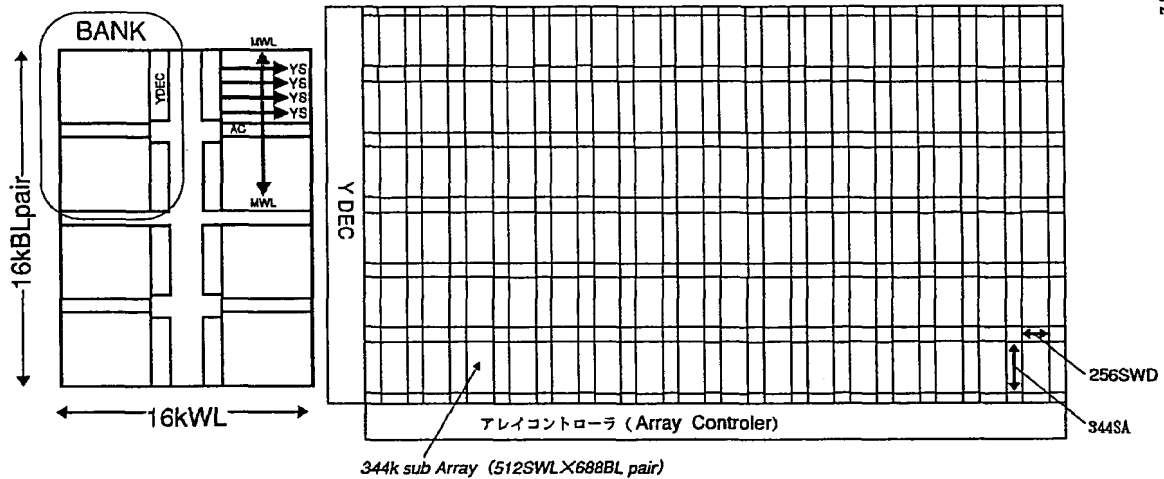
【符号の説明】

IS…交差エリア、SA…センスアンプ、SWD…サブ

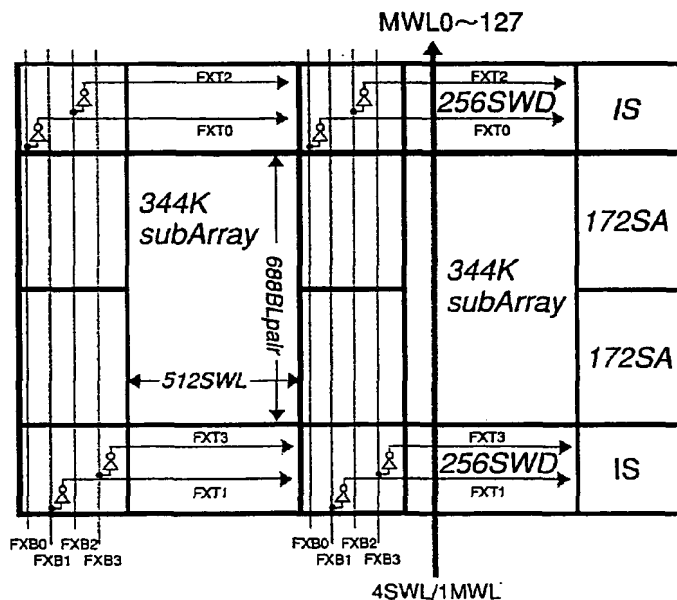
ワードドライバ、YDEC…Yデコーダ、MA…メインアンプ、Q1～Q14…MOSFET、M1、M2…短絡MOSFET、M3～M6…プリチャージMOSFET、11、12…デコーダ、メインワードドライバ、15…サブアレイ、16…センスアンプ、17…サブワードドライバ、18…クロスエリア、51…アドレスバッファ、52…プリデコーダ、53…デコーダ、61…メインアンプ、62…出力バッファ、63…入力バッファ、

【図 1】

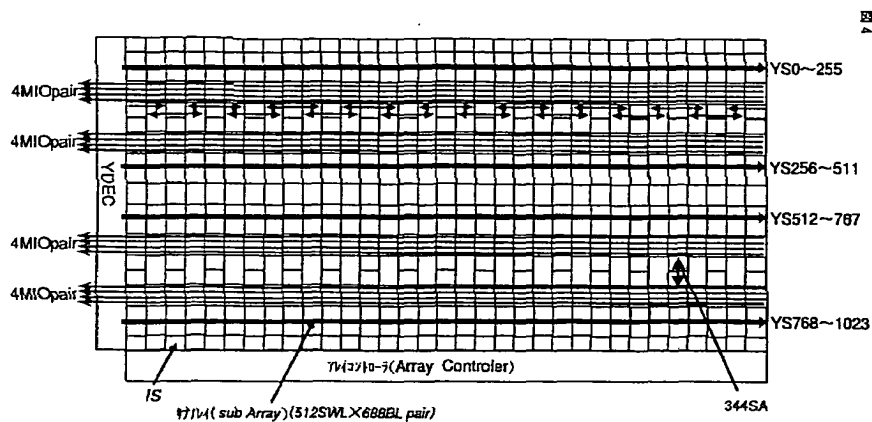
図 1



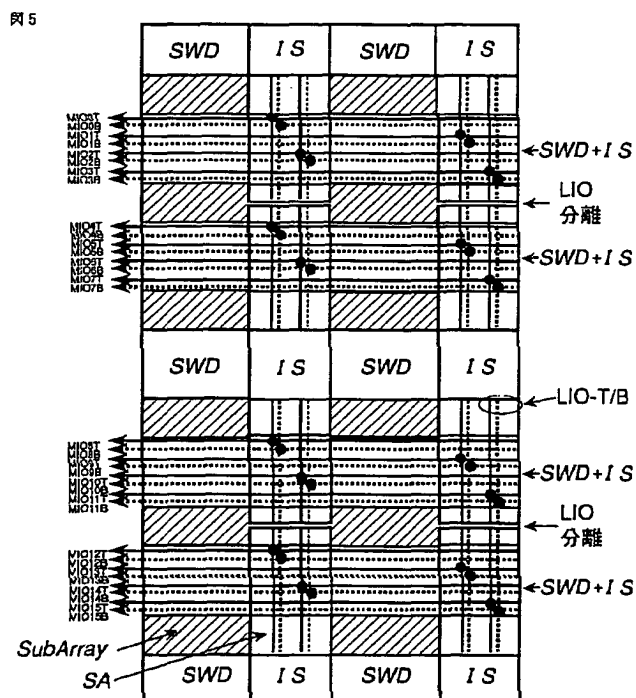
【図 3】



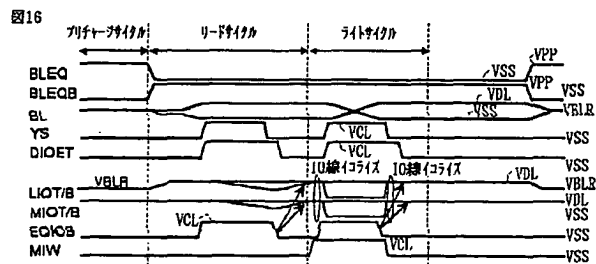
【図 4】



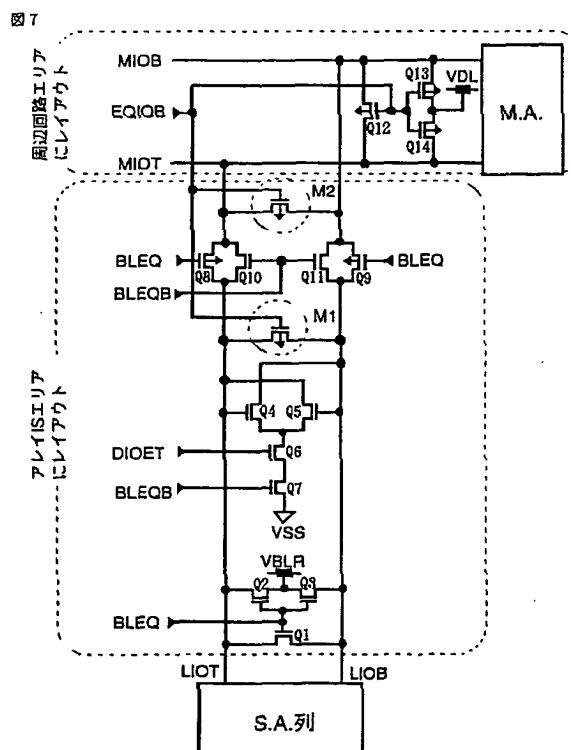
【图 5】



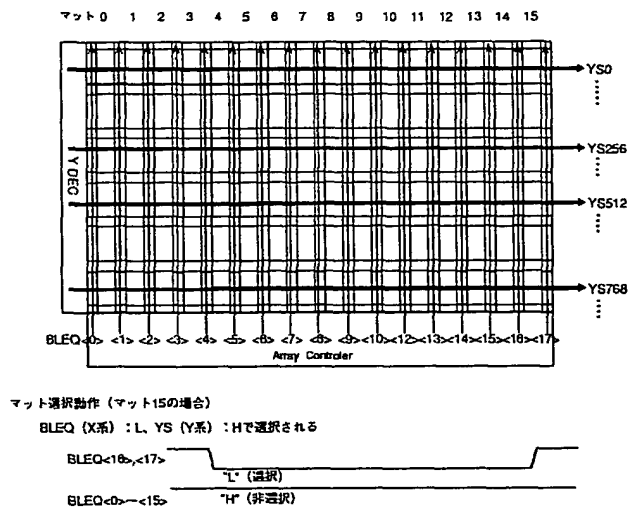
【図 16】



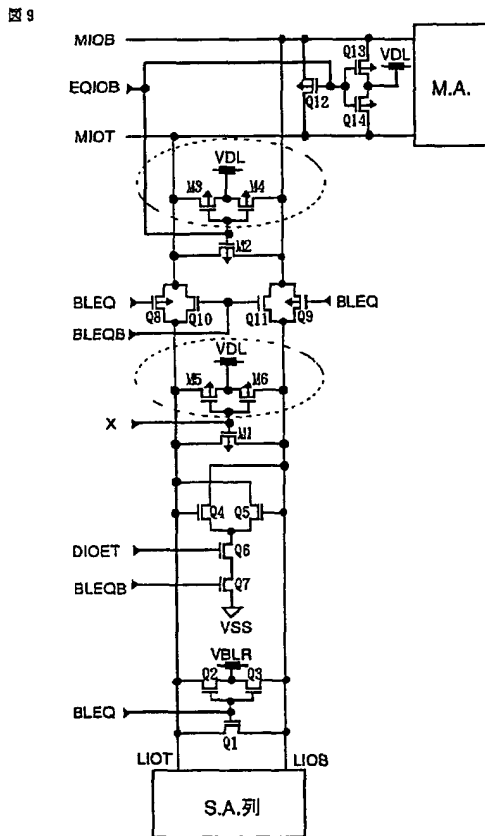
【圖 7】



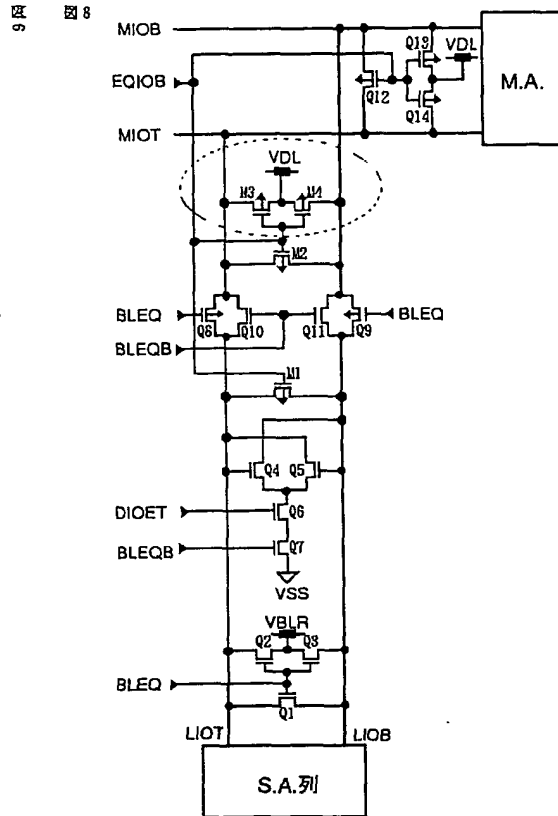
【図6】



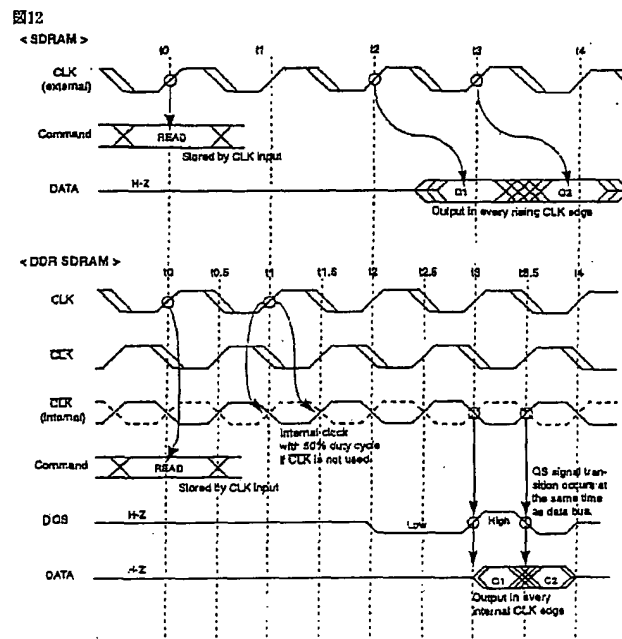
【図9】



【図8】

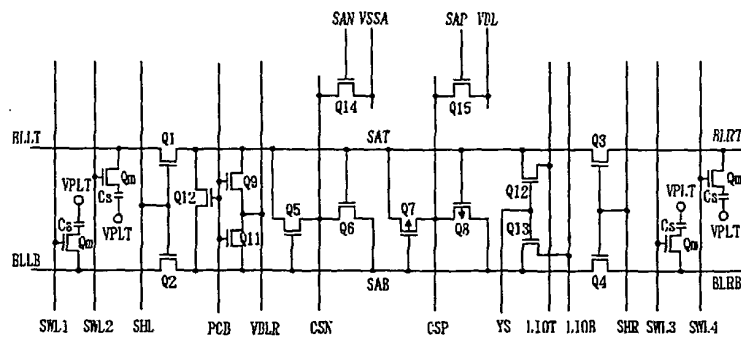


【図12】

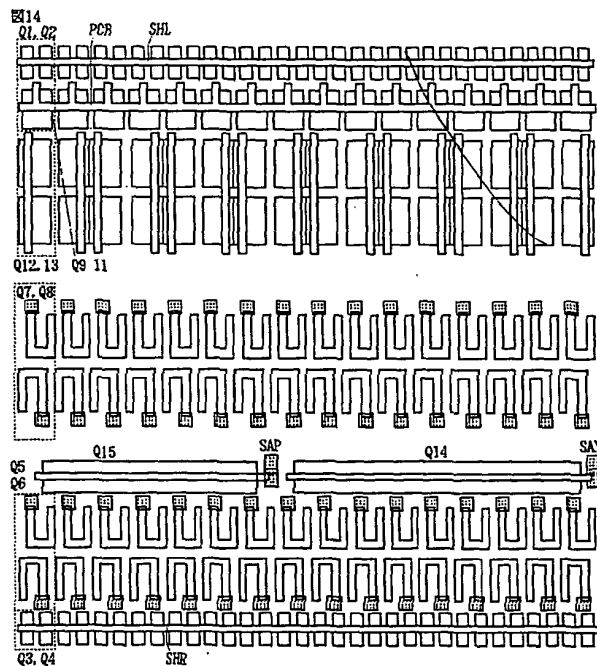




【図13】



【図14】



フロントページの続き

(72)発明者 井手 成八

東京都小平市上水本町5丁目22番1号 日  
立超エル・エス・アイ・システムズ内

(72)発明者 永島 靖

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

Fターム(参考) 5B024 AA07 AA15 BA07 BA10 BA29  
CA16 CA21  
5F083 AD00 GA01 GA09 LA03 LA04  
LA09